


**SIPO**

 STATE INTELLECTUAL  
PROPERTY OFFICE  
OF THE P.R.C.

SITE SEARCH

[Home](#)
[About SIPO](#)
[News](#)
[Law/Policy](#)
[Special Topic](#)
**TIPLC** Multiplex addressing of ferro-electric liquid crystal displays

Application Number	94191737	Application Date	1994.01.26
Publication Number	1126889	Publication Date	1996.04.17
Priority Information	GB9306997.3/1993/2/15		
International Classification	G09G03/36		
Applicant(s) Name	The Secretary Of State For Defence		
Address			
Inventor(s) Name	Alistair GrahamJonathan Rennie HughesMichael John Fowler		
Patent Agency Code	72001	Patent Agent	MA TIELIANG WANG YUE

**Abstract**

The invention provides a ferro-electric liquid crystal display (FLCDs) with reduced voltages requirements for driver circuits. This enables standard drivers circuits designed to drive address twisted nematic type of displays, to be used for FLCDs. Displays are formed by cells containing smectic liquid crystal material. The cell walls are surface treated and carry e.g. row and column electrodes forming an x,y matrix of addressable display elements. The smectic liquid crystal material switches between two states upon application of a dc pulse of appropriate amplitude, polarity, and time. Addressing waveforms are strobe waveforms, e.g. two pulses of opposite polarity in successive time slots, applied to each row in turn. Data waveforms are, e.g. dc pulses of alternate polarity with each pulse lasting one time slot is. Two data waveforms are needed to switch between the two states; one data waveform is the inverse of the other. Typically a strobe waveform pulse may be 50 volts. In the invention a voltage reduction waveform (VRW) is added to both strobe and data waveforms. This has the effect of reducing the maximum amplitude of voltage needed by the driver circuits, whilst leaving the resultant voltage appearing at a display element at the same value as if VRW were not used. With a reduced voltage requirement, driver circuits previously used for relatively low voltage nematic material type of displays can be used to switch smectic materials.

[Machine Translation](#)
[Close](#)
[TOP PAGE](#) | [CONTACT US](#) | [PROCEEDINGS](#) | [RELATED LINKS](#)

Copyright © 2008 SIPO. All Rights Reserved.



## [12] 发明专利申请公开说明书

[21]申请号 94191737.1

[51]Int.Cl<sup>6</sup>

G09G 3/36

[43]公开日 1996年4月17日

[22]申请日 94.1.26

[30]优先权

[32]93.2.15 [33]GB[31]9302997.3

[86]国际申请 PCT/GB94/00150 94.1.26

[87]国际公布 WO94/18665 英 94.8.18

[85]进入国家阶段日期 95.10.10

[71]申请人 大不列颠及北爱尔兰联合王国国防大臣

地址 英国英格兰

[72]发明人 A·格拉汉姆 J·R·休古斯

M·J·陶勒

[74]专利代理机构 中国专利代理(香港)有限公司

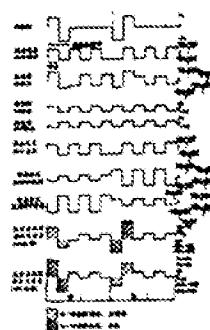
代理人 马铁良 王 岳

权利要求书 3 页 说明书 20 页 附图页数 17 页

[54]发明名称 铁电液晶显示器的多路寻址

[57]摘要

本发明提供一种减少了驱动电路电压要求的铁电液晶显示器 (FLCD<sub>p</sub>)。这使得均方根地址扭转向列型显示器的标准驱动电路能用于 FLCD<sub>p</sub>。显示器由包含层列液晶材料的单元组成。单元的壁被表面处理并载有列和行电极, 这些列和行电极形成可寻址显示元件的 x、y 矩阵。层列液晶材料根据所加的直流脉冲的幅度、极性和时间在两种状态之间转换。寻址波形是顺序加到每一列的选通波形, 如在顺序时隙中的极性相反的两个脉冲。数据波形是极性交替的直流 dc 脉冲, 每个脉冲持续一个时隙 t<sub>g</sub>。两个状态之间的转换需要两个数据波形, 一个数据波形是另一个的反转波形。典型地, 选通波形脉冲可以是 50 伏。在本发明中, 一电压减小波形 (VRW) 加到选通和数据波形上。其效果是减小了驱动电路所需电压的最大幅度, 同时显示元件上最终电压仍然与没加 VRW 时一样。由于减小了电压要求, 以前用来驱动较低电压向列材料型的显示器的驱动电路能用于转换层列材料。



(BJ)第 1456 号

1. 一种多路寻址铁电液晶显示器的方法, 该显示器由  $m$  组电极和  $n$  组电极的交叉点形成, 提供可寻址显示元件  $m \times n$  矩阵, 所述方法包括如下步骤:

产生列和行波形, 该波形包括在连续的时隙,  $(t_i)$  中的选择的直流  $dc$  幅度和符号的电压脉冲, 以加到  $m$  和  $n$  组电极上;

通过驱动电路用列和行波形多路寻址  $m$  和  $n$  组电极, 以寻址每个显示元件;

其特征在于, 还包括用一电压减小波形修改列和行波形的步骤, 从而, 驱动电路所要求的电压电平被减小, 同时, 在显示元件上保持足够的电压幅度去产生转换。

2. 多路寻址的液晶显示器, 包括:

一液晶显示单元, 包括一层铁电层列液晶材料, 容纳于两个壁之间, 每壁上有一组电极, 形成可寻址显示元件的矩阵;

驱动电路, 以多路方式, 把数据波形加到一组电极, 把选通波形加到另一组电极;

波形发生器, 用于在连续的时隙  $(t_i)$  中产生单极性脉冲的数据和选通波形, 以加到驱动器电路;

控制数据波形顺序的装置, 得到所希望的显示图形;

其特征在于,

修改数据和选通波形的装置, 从而, 减小了加到驱动电路上的电压电平, 同时, 保持可寻址交叉点上的最终电压电平不变。

## 铁电液晶显示器的多路寻址

本发明涉及铁电液晶显示器 (FLCD) 的多路寻址, 这种显示器可以使用空间螺旋层列 C. I. F 液晶材料。

液晶显示器件通常用两片玻璃片夹着一层薄薄的液晶材料层组成。玻璃片内表面的电极结构使得能将电场加到液晶层上, 从而改变液晶的分子取向。许多不同类型的显示器采用向列型和胆甾型液晶材料制成。这两种类型的材料都是在电场 ON 状态和电场 OFF 状态之间工作, 也就是说, 通过将电场进行 ON 和 OFF 转换, 使显示器工作。向列型和胆甾型液晶材料响应所加电场的均方根值, 但它们对极性不敏感。

更新型的显示器使用了铁电空间螺旋层列 C. I 和 F 液晶显示材料, 其中, 液晶分子根据施加电场的极性取两个可能的场 ON 状态中的一个。因此, 这些显示器通过适当极性的 dC 脉冲在两个状态之间转换。当施加电场为零时, 根据表面对准处理的不同, 分子可能取中间状态。空间螺旋层列显示器件的转换速度很快, 且根据液晶材料层的厚度和器件表面对准处理的不同, 具有一定的双稳定性。空间螺旋型层列显示器的例子可见以下文件: G. B. No 2, 163, 273; G. B. No. 2, 159, 635; G. B. No. 2, 166, 256; G. B. No. 2, 157, 451; U. S. A. Patent No. 4, 536, 059; U. S. A. Patent 4, 367, 924; G. B. P. A. No 86//08, 114 - GB 2, 209, 610 - P. C. T. No. G. B. 87/00, 222; G. B. P. A. No 86/08, 115 - GB 2, 210, 468 - P. C. T No 87/00, 221; G. B. P. A. No. 86/08, 116 - GB 2, 210, 469 - P. C. T. 87/00, 220。

已知的一种显示器是 x、y 象素矩阵式，即显示元件产生于一个壁的行电极与另一个壁的列电极的交叉点处。这种显示器通过把连续的电压加到列(x)和行(y)电极上以多路方式寻址。

已有许多系统适于多路寻址螺旋型层列显示器，例如，Harada 等 (1985 S. I. D. Paper 8.4 pp131 - 134) 和 Lagerwall 等 (1985 I. D. R. C. pp213 - 221) 的文章。还可见 GB2, 173, 336 - A 和 2, 173, 629 - A。FLCD 的多路寻址方案是将选通波形顺序加到 (例如) 列电极之上，同时将数据波形加到 (例如) 行电极上。FLCD 的特性是，一旦它们收到适当电压幅度和时间长度 (脉宽) 的脉冲 (称为电压时间乘积  $v \cdot t$ ) 就进行转换。因此，幅度和脉宽都要考虑进多路转换寻址方案。为要能在较短的时间寻址大量显示器件，脉冲宽度必须短且相应电压高。在典型的显示单元中，脉宽为  $50 - 100 \mu\text{sec}$ ，电压高达 50 伏，通过驱动电路转换到显示器。

现在，驱动大量显示器中电极的电路对于多路寻址的螺旋形层列器件 (例如  $90^\circ$  扭转层列相或  $270^\circ$  超扭转层列相) 的转换电压是较低的，如峰值电压为  $\pm 25$  伏，见 H, Kawakami, y Nagae, 和 E Kaneko, SID 会议文集 1976, pages 50 - 52。能处理较大电压电平的电路仅为每个电路芯片为 64 个输出。大的显示器要求每个芯片 100 个以上输出。因此，由于对处理大的电压电平和提供大量输出接头的双重要求，使得在在寻址大的 FLCD 中存在一些问题。

本发明的一个目的是通过多路驱动电路去寻址 FLCD，来减少所要求的电压电平。

根据本发明，解决上述问题的办法是，把一个附加波形加到以前用于寻址 FLCD 的选通和数据波形上，同时仍保留材料上的最后电压，使之足以产生转换。这使得现在的用于低均方根寻址的显示器用的多路寻址驱动芯片可用于多路寻址 FLCD。根据本发明，多路寻址

铁电液晶显示器的方法包括如下步骤, 所述显示器以  $m$  组电极和  $n$  组电极交叉, 形成  $m \times n$  矩阵的可寻址显示元件;

产生行、列波形, 该波形包有在连续的时隙 ( $t_i$ ) 中的具有不同 dc 幅度和符号的电压脉冲, 以加到  $m$  和  $n$  组电极上;

通过驱动电路用列和行波形多路寻址  $m$  和  $n$  组电极, 以对每个显示元件寻址;

其特征在于, 通过电压减小波形修改列和行波形的步骤。

从而, 驱动电路所要求的电压电平被减小, 同时在显示元件上仍保留足够的电压幅度以产生转换。

根据本发明的多路寻址的液晶显示器包括:

一个液晶单元, 一层铁电空间螺旋层列液晶材料, 处于两个壁之间, 每个壁上都有一组电极, 形成可寻址显示元件的矩阵;

驱动电路, 用于以多路方式把数据波形加到一组电极上, 把选通波形加到另一组电极上;

波形发生器, 用于在连续的时隙 ( $t_i$ ) 中产生加到驱动电路上的单极性脉冲的数据和选通波形;

控制数据波形的顺序的装置, 得到所希望的显示图形。

其特征在于,

修改数据和选通波形的装置, 使得加到驱动电路电路上的电压电平被减小, 同时仍能保留可寻址交叉点上的最终电压电平。

所述单极性脉冲基本是具有所要求幅度和极性的 dc 脉冲, 每个脉冲占据一个时隙 ( $t_i$ )。

下面, 参照附图, 仅以举例方式, 说明本发明的一种形式。

图 1, 2 分别是液晶显示器件的平面图和截面图;

图 3 是准直的液晶材料层的透视图, 该液晶材料为人字形分子层准直;

图 4 是图 3 的一部分的放大截面图, 具有人字形结构的几个可

能的取向器投影中的一个;

图 5 是所施加的电压脉冲宽度与电压幅度图, 示出对一种材料在不同的 ac 偏压下的转换特性, 可以看到电压时间 (v. t) 最小值;

图 6 是图 1 的一部分的方框图, 示出显示驱动电路的输入和输出;

图 7 和 13 是在寻址 x、y 矩阵显示器中使用的选通和数据脉冲的先有技术波形图;

图 8-12 是本发明的加到不同的导址系统上的波形图;

图 1、2 中所示的单元 1 包括两个玻璃壁 2, 3, 被分隔环 4 (或分配分隔器) 分开约  $1-6\mu\text{m}$ 。透明的氧化锡电极结构 5、6 形成于两壁的内表面。这些电极具有传统的列 (x) 行 (y) 形状, 七段, 即 r-o 显示。液晶材料层 7 处于两壁 2, 3 和分隔环 4 之间。极化装置 8、9 安排在单元 1 的前后两面。极化装置 8、9 的光轴对准安排成使显示器的反差最大; 即, 用一个转换的分子方向的一个光轴穿过极化装置。d. c. 电压源 10 经控制逻辑电路 11 向驱动电路 12、13 提供电源, 驱动电路以导线 14、15 分别连接到电极结构 5、6。

该器件可以透射或反射模式工作。以透射模式工作时, 光穿过器件, 例如, 来自钨灯的光有选择性地被透过或阻挡以形成所希望的显示。以反射模式工作时, 反射镜 17 置于第二极化装置 9 的后面, 以把漫射光反射通过单元 1 和两个极化装置。若使反射镜 17 部分反射, 则该器件可以用一个或两个极化装置同时以透射式反射方式工作。

在先有技术的情况, 壁 2、3 的处理过程如下, 对一聚合物 (例如酰胺或聚酰亚胺) 进行自旋, 干燥并适当固化, 然后用软布 (例如人造丝) 单向 ( $R_1, R_2$ ) 抛光。这种已知的处理方式使表面的液晶分子对准。分子沿摩擦方向  $R_1, R_2$  自对准 (如对层列相测量所示), 根据所用的聚合物及其后序处理的不同与表面成  $0-15^\circ$  角。见 S Kuniyasu et al, Japanese J of Applied Physics vol 27, No 5, May 1988, pp

827-829。此外,也可以用已知的倾斜蒸镀一氧化硅到单元壁上实现表面对准。

表面对准处理过程对相邻的液晶材料分子提供了固着力。在单元的壁之间,这些分子被所用材料的弹性力特性所限制。材料自己形成了相互平行的分子层 20,如图 3、4 所示,它们是众多可能的结构中的特例。铪是一种倾斜相,其中,指向器与层的法线成一定角度,因此,每一个分子指向器 21 可以被认为其倾向于沿一圆锥表面,在圆锥上的位置随层厚而改变,所以每个微层 20 呈人字形。

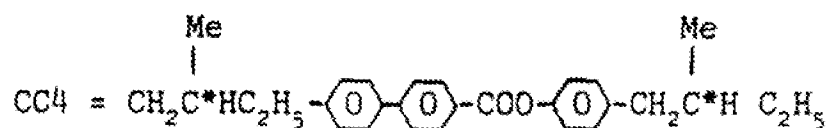
考虑邻近层中心的材料,分子取向器基本处于该层的平面内。适当行号的电源脉冲将使指向器沿圆锥表面移动到圆锥相反的一侧。在圆锥表面上的两个位置  $D_1$ 、 $D_2$  代表了液晶向器的两个稳定状态,即,材料将根据所加的电压会停留在两个位置( $D_1$ 、 $D_2$ )之一。

在实际的显示器中,指向器可以从这些理想的位置移动。通常的作法是在信息显示的全部时间内对材料加一 ac 偏置。这个 ac 偏置的作用可见 Proc 4th IDRC 1984 pp 217-220。采用 ac 偏置的显示寻址方案可见英国专利申请 90.17316.2, PCT/GB 91/01263, J R Hughes and E P Raynes。该 ac 偏置可以是加到行电极 15 上的数据波形。

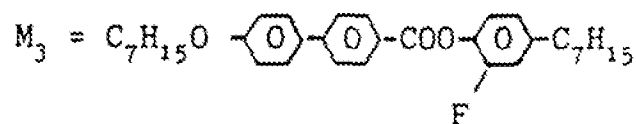
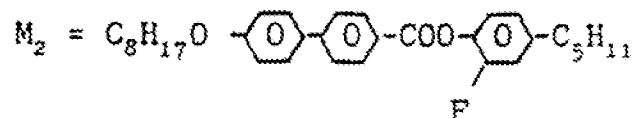
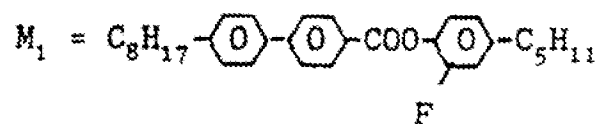
适合的材料包括参考自录 BHD-SCE8, ZLI-5014-000, 摘自 Merck Darmstadt, 它们列于 PCT/GB 88/01004, WO 89/05025, 和



19.6% CM8 (49% CC1 + 51% CC4) + 80.4% H<sub>1</sub>



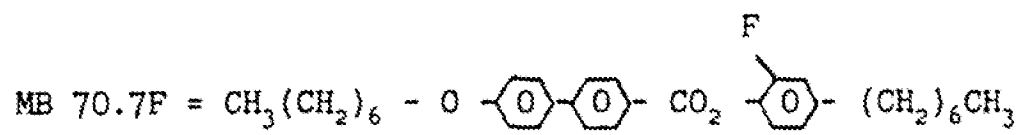
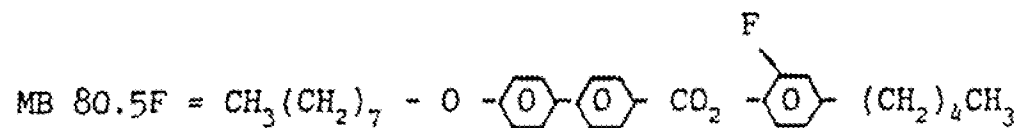
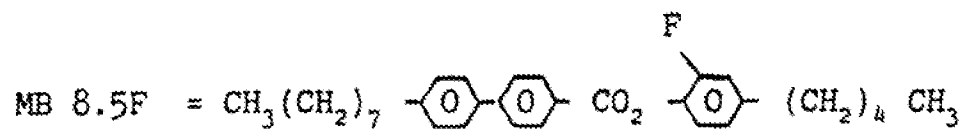
$$\text{H}_1 = \text{M}_1 + \text{M}_2 + \text{M}_3 \quad (1 : 1 : 1)$$



其他混合物是 LPM 68 = H1 (49.5%), AS 100 (49.5%), IGS 97(1%)

$$\text{H1} = \text{MB 8.5F} + \text{MB 80.5F} + \text{MB 70.7F} \quad (1 : 1 : 1)$$

$$\text{AS100} = \text{PYR 7.09} + \text{PYR 9.09} \quad (1 : 2)$$



对一种材料 LPM 68, 层厚  $1.7\mu\text{m}$ , 温度  $20^\circ\text{C}$ , 脉宽与施加电压的转换特性示于图 5。对于曲线以下区域中的电压时间乘积值 ( $v \cdot t$ ), 液晶材料将不转换。对于曲线以上的材料的  $v \cdot t$  乘积值, 将进行转换。如所示, 随着 a. c 偏置电平的变化, 曲线有点变化; 这一点以后描述。此外, 曲线随两个选通脉冲相对幅度值而变化, 如 WO59/05025 所述。因此, 在判断一种给定材料的转换特性时, 乘积  $v \cdot t$ , 像素的最终波形的形状, a. c 偏置的大小, 以及材料的温度都必须加以考虑。有些液晶材料具有不同形状的  $v \cdot t$  特性。例如, 某些材料并不显示出图 5 的最小值, 而仅仅随电压的增加而降低脉宽曲线。

对大多数两个极化装置的最大反差, 希望圆锥角, 即两个转换状态中指向器间的角度为  $45^\circ$ 。一个极化装置平行于两个转换的指向器位置之一对准, 而第二个极化装置垂直于第一个极化装置对准。也可以如 GB9127316 和 PCT/GB 9202368 所述, 极化装置也可以从交叉的位置旋转, 以改善两个转换状态间的对比度。

图 7 示出了先有技术转换  $4 \times 4$  矩阵的寻址方案的波形。如所示, 白圈可设为 OFF 像素, 实圈可设为 ON 像素。

选通波形顺序加到列  $R_1 - R_4$ , 该波形包括 0 占据一个时隙  $t_1$ , 其后跟着一个占据一个时隙的  $-V_s$  直流 dc 脉冲; 不接受选通脉冲的列接收 0 电压。因此, 对于列  $R_1$ , 所接收的波形在  $t_1$  是 0 伏, 在  $t_2$  是  $-V_s$ , 其后对时隙  $t_3 - t_8$  为 0 伏。时隙  $t_1 - t_8$  称为场时间, 等于  $N \times 2t_1$ , 其中,  $N$  是显示器的行数。对于列  $R_2$ , 所加的波形在  $t_1$ 、 $t_2$  为 0, 在  $t_3$ 、 $t_4$  分别为 0 伏、 $-V_s$  的选通脉冲, 其余的帧, 即  $t_5 - t_8$  为零伏。类似地, 对于列  $R_3$  和  $R_4$ , 分别在  $t_5$ 、 $t_6$  和  $t_7$ 、 $t_8$  加选通脉冲, 其他的时隙则为 0。

对于下一场, 情况则相反, 换句话说, 一个  $t_1$  为 0, 一个  $t_1$  为  $+V_s$ , 该场时间的其他时间为 0。要完成对矩阵的转换需要两场, 这个时间

称为帧时;继续用连续帧对显示器寻址。第一场(或奇数场)将所有需要的象素转换到 ON 状态,第二场(或偶数场)把所有需要的象素转换到 OFF 状态。

加到行上的波形称为数据 ON 和数据 OFF 波形;每个波形包括脉冲长度为  $t_d$  的  $+/-V_d$  交替脉冲。数据 ON 和数据 OFF 具有相反的符号。

在象素处的选通脉冲和数据脉冲最后结果标为 A、B、C、D(如图所示),并称为最终波形。最终波形是液晶材料上的电压电平。用单阴影标示的脉冲幅度为  $V_s + V_d$ , 长度为  $t_d$  并不转换液晶材料。用(双)交叉阴影标志的脉冲,幅度为  $V_s - V_d$ , 当工作于  $V_s t$  最小模式(图 5)时,对液晶材料转换。如图所示,象素 A 和 D 点第一场转换,而 B 和 C 在第二场转换。

在图 7 的方案中,  $V_s$  的值为  $5V_d$ 。一般来说,  $V_s = 50$  伏。本发明的寻址方案中所用的选通和数据波形具有基本相等的最大电压电平,而且把类似的峰值最终电压加到液晶材料上。其作用是减小驱动电路的电压需求,使在具有多路均方根寻址场效应液晶显示器中所用的元件能用于寻址 FLCD 中。

在图 7-12 和图 14-20 中,把附加波形加到选通和数据波形上改进了各先有技术寻址方案,从而提供了驱动器的低电压电平。

图 8 示出了选通波形,它具有平衡的选通脉冲,第一个  $+V_s$  占据一个时隙,后面跟有一个  $-V_s$  占据第一场的一个  $t_d$ 。极性是反转的,在第二场,  $+V_s$  在  $-V_s$  之后。行地址时间为  $2t_d$ 。

电压减少波形, VRW, 包括占据  $t_d$  的  $+(V_s - V_d)/2$  脉冲和跟随其后占据一场中的另一  $t_d$  的  $-(V_s - V_d)/2$  脉冲。第二场中极性反转。

每一列的最终波形  $R_s$  在选通波形和 VRW 上是不同的。这使波

形表现出 4 个电压电平:  $+(V_s+V_d)/2$ ,  $+(V_s-V_d)/2$ ,  $-(V_s-V_d)/2$  和  $-(V_s+V_d)/2$ 。

基本数据波形 ON 和 OFF 在每个时隙  $t_s$  中是  $+/-V_d$  的交替脉冲。VRW 则是  $+/- (V_s-V_d)/2$  的交替脉冲。加到每行的最终的数据波形  $R_d$  具有 4 个电压电平,  $+(V_s+V_d)/2$ ,  $+(V_s-3V_d)/2$ ,  $-(V_s-3V_d)/2$  和  $-(V_s+V_d)/2$ 。

在象素点的最终波形是  $R_v$  和  $R_d$  的组合, 在形状和幅度上完全相同, 似乎只是加了选通和数据波形。其结果能按要求准确地转换, 但驱动器所加的最大电压从  $V_s$  减小到  $(V_s+V_d)/2$ ; 在典型的情况下, 当  $V_s=50$  伏,  $V_d=10$  伏时, 可以从 50 伏减小到 30 伏。

图 9 示出了改进的单脉冲寻址方案中对第一行寻址的波形。选通脉冲在第一个  $t_s$  先是 0 电压, 跟着在第二个时隙是一个  $-V_s$  单脉冲, 在第一场的其他时隙为零脉冲。在第二场, 选通脉冲为  $+V_s$ 。列电压减少波形在  $N \times 2t_s$  中, 第一场为  $-(V_s-V_d)/2$ , 第二场为  $(V_s-V_d)/2$ 。最终的列波形具有 4 个电压电平  $(V_s-V_d)/2$ ,  $-(V_s+V_d)/2$ ,  $-(V_s-V_d)/2$  和  $+(V_s+V_d)/2$ 。

数据波形如图 7 所示, 是  $+/-V_d$  的交替脉冲。数据 VRW 在第一场是  $-(V_s-V_d)/2$ , 在第二场为  $+(V_s-V_d)/2$ 。最终的数据 ON 和 OFF 波形具有 4 个电压电平,  $+(V_s+3V_d)/2$ ,  $+(V_s-3V_d)/2$ ,  $-(V_s-3V_d)/2$  和  $-(V_s+V_d)/2$ 。

最终的波形在象素点的值完全相同, 与所予期的没采用选通和数据 VRW 一样。

图 10 示出对 GB9017316 修改的寻址方案中对第一和第 4 行寻址的波形。

基本的选通波形对第一个  $t_s$  是 0, 对第二个  $t_s$  是  $+V_s$ 。在这个特定的方案中,  $+V_s$  脉冲延长到下一个  $t_s$ , 同时, 选通波形的起点加到第二列。选通波形以零开始的理由是, 对每个象素的寻址是用第一 (O) 和第二 (非 O) 选通脉冲与第一和第二数据脉冲组合的最终结果来进行。如在 GB9017316 中所解释的, 不管怎样, 较大的脉冲转换依赖于前面较小脉冲的幅度和符号。选通 VRW 在第一个  $t_s$  是  $-(V_s - V_d)/2$ , 其后的其他第一场时隙为  $+(V_s - V_d)/2$ 。在第二场, 极性反转。对于列 1 和 4 其最终选通波形被示出, 与图 9 的 4 电压电平相同。

在象素点的最终波形与没采用选通和数据 VRW 所应得到的值相同。

图 11 类似于图 10, 不同之点是  $V_s$  选通脉冲进一步延伸到下一列的地址时间。选通和数据 VRW 如图 10 所示。选通、数据和象素最终结果波形被示出。再者, 象素点的波形与没采用选通和数据 VRW 所应得列的值相同。由于选通脉冲长度的原因, VRW 不能容纳它, 所以必须有一虚行, 即显示器将是  $N$  行, 但只有  $N-1$  行可用。

在上面的例子中, (图 8-11), VRW 的幅度是  $(V_s - V_d)/2$ 。做为替换例, 幅度也可以是  $V_s/2$ , 导致较高的峰-峰行电压,  $V_s + 2V_d$ 。两个这样的例子示于图 12, 其基本选通和数据波形全同于图 9 的图形。

图 12 中的第一个例子中, VRW 全同于图 9, 但幅度为  $+$  和  $-V_s/2$ 。最终的选通波形有两个电压电平  $+V_s/2$  和  $-V_s/2$ 。最终的数据波形有 4 个电压电平:  $+(V_s/2) + V_d$ ,  $(V_s/2) - V_d$ ,  $-((V_s/2) - V_d)$  的和  $-((V_s/2) + V_d)$ 。

图 12 中的第二个例的数据波形脉冲为  $+/-V_s/2$ , 每个脉冲持续一个  $t_s$ 。最终选通和数据波形的形状不同于图 12 中的第一例, 但

电压电平的数量和值未改变。

图 8-12 所示的例子中,采用了相反极性的选通脉冲,并在完成一帧的两场中寻址一完整的显示。已知的交替寻址方案采用了选通消隐脉冲,其后是转换脉冲。消隐脉具有足够的幅度和宽度,使其始终能转换象素。后续的选通脉冲选择性地转换那些须要处于不同状态的象素,而不是由消隐脉冲来转换。消隐脉冲方案的优点是整个显示被选通波形的简单扫描寻址,因此,显示地址时间减半。消隐可以逐行进行,最常用的,也可以一次一批,或一次整个显示(整页)。

图 13 示出了采用消隐脉冲的先有技术寻址方案,它没有任何电压消隐脉冲。列 1 的选通波形包括一消隐脉冲,其幅度为  $-V_0$ , 时间为  $2t_0$ 。选择的转换选通首先是一个  $t_0$  的 0 电压,其后是一个  $t_0$  的  $+V_0$  电压。行消隐时间和行寻址时间是  $2t_0$ 。所示是加到列 R2 的选通波形。

数据 ON 和数据 OFF 波形是  $+/-V_0$  的交替脉冲,每个持续  $t_0$ 。象素上所需要的 ON 和 OFF 最终波形是对列 1 行 1 (R1C1) 和 R2C2 示出。在 R1C1 中,消隐脉冲已转换了象素,但在  $t_4$  的选通尚未反转状态。在 R2R2,象素已由消隐脉冲转换,然后,由选通脉冲转换列相反状态。

消隐脉冲和选通脉冲通常并不平衡,因此,列波形的极性要周期性地反转以保持 d. c 平衡。

图 14 示出了用 VRW 进行消隐的单选通寻址方案。此外,交替的列的选通波形具有反转极性。选通波形在极性上反翻,即交替帧给出纯 0 (直流) dc。为了在消隐脉冲延伸进前面的场时仍能保证列波形执行单极性,列的数目必须是偶数。为了保证列波形执行单极性,消隐脉冲必须在选通脉冲前有奇数列。

列 R1、R2、R3 的选通波形被示出,其类似于图 13,但 R2 中极性

反转。R1 消隐脉冲是  $-V_b$ ，时间  $2t_1$ ，其后是一个  $t_1$  的 0，再后是一个  $t_1$  的  $+V_b$ 。

数据 ON 和数据 OFF 波形如图 13 所示，包括交替的  $+/-V_d$ ，每个持续  $t_2$ 。

VRW 由交替的  $-(V_b - V_d)/2$  和  $(V_b - V_d)/2$  组成，每个持续  $2t_2$ 。最终的列波形 RS 和最终的行波形  $R_d$  对于 R1、R2、R3、C4 和 C2 示出。每个最后的选通和数据波形具有 4 个电平： $(V_b + V_d)/2$ ， $(V_b - V_d)/2$ ， $-(V_b - V_d)/2$ ， $-(V_b + V_d)/2$ 。在象素点 R1C1、R2C2、R1C2 的最终波形被示出；其形状与图 13 的相应点的形状相同。因此，显示器以与图 13 相同的方式转换，但在列驱动器中的峰值电压较低。

图 15 示出了导址方案，其中同时将整页消隐到 OFF，然后选择象素转换到 ON。R1、R2 的选通波形被示出。所有的选通波形只有  $V_b/2$  的消隐脉冲，占据时隙  $t_1$  和  $t_2$ ，把所有的象素转到一个状态。一个  $t_1$  的 0 选通脉冲，然后是一个  $t_1$  的  $-V_b$  选通脉冲依次加到每一列。数据 ON 和数据 OFF 波形在时隙  $t_1$  和  $t_2$  中为  $-V_d/2$ ，然后，是宽度为一个  $t_1$  的  $+/-V_d$  交替脉冲。VRW 在时隙  $t_1$ 、 $t_2$  具有零电压，然后对该场的其他时隙为常数  $-(V_b - V_d)/2$ 。R1、R2、C1、C2 的最后选通和数据波形被示出。

在象素点 R1C1 和 R2C2 的最后电压被示出，该电压似乎与 VRW 未加到选通和数据波形上的相同。在  $t_1$  和  $t_2$  时两个象素均转换，同时施加消隐电平  $+V_b$ 。象素 R1C1 在加有  $-(V_b - V_d)$  欺骗  $t_4$  转换，因为前面直接就是  $-V_b$ 。相反，象素 R2C2 在  $T_6$  并不转换，同时接收  $-(V_b + V_d)$ ，因为其前面直接是  $+V_b$ 。



由于再现消隐屏幕的原因, 图 15 的方案不适合于频率更新的显示器。从理论上说, 对一组行进行消隐可以克服这个问题。在消隐期间, 把  $+V_s/2$  加到要被消隐的列, 把  $-V_s/2$  加到其他列, 可以进行选择。因此, 把消隐周期引入每个行寻址周期的之间, 这个原理就可以实现逐行消隐。

图 16 示出了行消隐方案。在该方案中, 基本的选通波形是传统的交替行地址周期单选通波形, 即在  $t_3, t_4, t_7, t_8, \dots$ 。在两个时间之间, 基本的选通波形是消隐波形,  $+/-V_s/2$  持续  $2t_s$ , 在时隙  $t_1, t_2, t_5, t_6, \dots$ ,  $V_s = V_d$ 。类似, 基本数据 ON 和 OFF 波形是  $+/-V_d$  的孪生脉冲, 占据时隙  $t_3, t_4, t_7, t_8, \dots$ 。其间, 在时隙  $t_1, t_2, t_5, t_6, \dots$  数据波形是  $V_s/2$  的消隐脉冲。

$R1, R2, C1, C2$  的基本选通数据波形示出。VRW 具有电压为  $-V_s/2$ , 占据时隙  $t_3, t_4, t_7, t_8, \dots$ 。最终的选通波形具有两个电压电平:  $+/-V_s/2$ 。最终的数据波形具有三个电压电平:  $(V_s/2) + V_d$ ,  $(V_s/2) - V_d, V_s/2$ 。象素点  $R1C1$  和  $R2C2$  处的最终的波形被示出。

图 16 的方案使列峰值电压从 3 个  $V_s/2$  减小到  $2V_s$ , 行电压峰值为  $V_s + V_d$ 。其好处是  $3V_s/2 > V_s + V_d$  即  $V_s > 2V_d$ 。可替换地, VRW 幅度可以是  $-(V_s - V_d)/2$ 。

图 16 的逐行消隐在考虑了所有的消隐周期时, 导致帧时加倍。因此, 在图 12 的两场的情况下, 没有速度的改善。虽然这种情况涉及到要求单极性消隐脉冲, 但它确实被应用。图 16 的实施中通过使消隐脉冲幅度为  $V_s/2$ , 因而无需对所有列极性周期反转以保持直流 d. c 平衡, 实现了该方案。

消隐电压为  $V_s/2$  的方案示于图 17。除了消隐脉冲的幅度而外, 图 17 的方案与图 16 相同。列峰值电压为  $V_s$ , 而行峰值电压为  $3V_s/2$ 。

$2 + V_d/2$ 。

图 16、17 方案的优点是, 在每个象素的最终波形中存在许多 0 电压周期。这减小了交流 a. c. 电压的均方根, 从而减少了器件 a. c 稳定性的量。a. c 稳定性技术是一种已知技术, 它能改善在 ON 和 OFF 状态之间观看的对比度。幅度和频率对 a. c. 稳定性均有作用。

改善的 a. c 稳定性可以通过将一 a. c. 分量引入消隐波形 (如图 18, 19 所示) 而实现。在图 18 中, 数据 ON 和数据 OFF 为, 在时隙周期  $t_1, t_5, t_9 \dots$  中有一个  $t_i$  的  $-((V_d/4) + V_d)$  脉冲, 在时隙  $t_2, t_6, t_{10}$  中是 0 脉冲。此外, 数据 ON 和 OFF 及选通波形示于图 17。在图 18 的最终象素波形中, 没有 0 电压时隙出现。因此, a. c. 稳定性, 从而显示对比度被改善。

图 19 的数据 ON 和 OFF 波形不同于图 18。在图 19 中在  $t_1, t_2, t_5, t_6, t_9, t_{10}$  的前一半有  $-((V_d/4 + V_d)$  脉冲。最终的象素脉冲不同于图 17 的脉冲, 且只有较高频率的 a. c. 分量。

图 6 示出了列和行驱动器 12、13 的示意图, 该驱动器由阻性回路 25 的不同电压供电。回路 25 具有电压源  $V_{ee}$ 、可变电阻 26 和串联的一组电阻。电压输是 VL1 - VL6。

所示的列驱动器是 Texas (RTM) TMS 3491, 其输出: CP, 由一时钟在最大频率 100KHZ 供电; 数据输入, 是一串行“0”和“1”的输入; 和控制输入 M。此外, 还有电压电平输入 VL1, VL6, VL5 和 VL2。有 80 个并联输出连接到列单元的 R1 - R80。驱动器 12 内, 是一串行输入并行输出移位寄存器 27, 它从  $S_i$  接收输入信号, 并由 SC 定时。移位寄存器的每一级连接到一个输出端 14。在给定的输出端出现的电压依赖于逻辑值“0”或“1”加上信号 M 的逻辑值“0”或“1”, 如下面真值表 1 所列出的。

所示的行驱动器 13 是 Texas (RTM) TMS 3492, 具有输出: - SC

同步(定时)于 6.5 MHz (最大); 控制信号 M, 逻辑 0 和 1; 4 位数字的数据输入; 和 4 个电压电平 VL1、VL3、VL4、VL2。有 80 个输出端子 15 连到单元 1 的行电极。驱动器 13 中是一串行输入并行输出 80 级的移位寄存器 28, 其并行输出馈到 80 单元锁存器 29。锁存器 29 的每个单元与 80 输出端 15 中之一相连。在给定输出端的电压依赖于锁存单元中的逻辑 0 或 1 值加上 M 的逻辑值, 如下面的真值表 1。

真值表1

M	数据	3491	3492
1	1	VL2	VL1
1	0	VL6	VL3
0	1	VL1	VL2
0	0	VL5	VL4

这些驱动器芯片实际上最大电压为 40 伏。

合适的电压电平的一个例子是:

VL1	$+(V_s + V_d)/2$	+ 20V
VL6	$+(V_s - V_d)/2$	+ 16.5V
VL3	$+(V_s - 3V_d)/2$	+ 13V
VL4	$-(V_s - 3V_d)/2$	- 13V
VL5	$-(V_s - V_d)/2$	- 16.5V
VL2	$-(V_s + V_d)/2$	- 20V

下面描述驱动器 12、13 用图 8 的方案显示图 7 的图形, 即 4×4 阵列。要被显示的阵列是, 下列象素应为 DONM 状态—R1C2,

R1C3, R2C3, R3C2, R3C4, R4C3, R4C4; 其他所有的象素处于 UP 状态。术语 DOWN 和 UP 是任意的, 但分别相应于负、正脉冲的转换。

图 20 示出基本的列和行波形。这些波形被图 8 的 VRW 所修改。如更清楚所述, 在基本波形中, 一对选通脉冲, 时间长度  $2t_r$  是一个行地址周期, 被依次加到列 R1 - R4。在每个行寻址期间, 所要求的数据 UP 或数据 DOWN 波形必须加到每个行 C1 - C4, 以对被寻址行上的象素进行转换。

假定, 列和行驱动器 12、13 都予装入逻辑 0。数字 0110 被装入行驱动器 13 的移位寄存器; 注意: 它与列 R1 的图形配合。逻辑 1 被装入列驱动器 12 的移位寄存器, 同时, 行移位寄存器的内容转移到锁存器 29。与列输出相应的移位寄存器级的逻辑状态和行输出相应的锁存器级的逻辑状态是:

电极	1	2	3	4
列	1	0	0	0
行	0	1	1	0

这些逻辑值在第一行寻址周期, 即时隙  $t_{r1}$ 、 $t_{r2}$  期间保留。为了产生两个不同的电压电平, 一个在  $t_{r1}$ , 另一个在  $t_{r2}$ , 控制输入 M 的值在逻辑 0 和 1 之间改变。

在此期间, 行移位寄存器装入下一个 (R2) 行地址的数据, 即数字 0010。列移位寄存器中的逻辑 1 沿一个级定时, 在行寄存器中的数据转到锁存器。与列输出相应的移位寄存器级的逻辑状态和与行输出相应的锁存器级的逻辑状态如下:

电极	1	2	3	4
列	0	1	0	0
行	0	0	1	0

调整 M 从 0-1 以在每个驱动器输出产生两个电压电平；在时隙  $t_3$ 、 $t_4$  中出现。

在时间  $t_3$ 、 $t_4$  期间，行移位寄存器装入下一个行寻址数据，即数字 0101。列移位寄存器中的逻辑 1 沿一级定时，行寄存器中的数据转入锁存器。相应于列输出的移位寄存器级的逻辑状态和相应于行输出的锁存器级的逻辑状态是：

电极	1	2	3	4
列	0	0	1	0
行	0	1	0	1

调整 M 从 0 至 1，以在每个驱动器输出产生两个电压电平，出现于时隙  $t_5$  和  $t_6$ 。

在时间  $t_5$ 、 $t_6$  期间，行移位寄存器装入下一行地址的数据，即数字 0011。列寄存器中的逻辑 1 沿一个级定时，行寄存器中的数据转入锁存器。相应于列输出的移位寄存器级的逻辑状态和相应于行输出的锁存器级的逻辑状态是：

电极	1	2	3	4
列	0	0	0	1
行	0	0	1	1

调整 M 从 0 到 1，在每个驱动器的输出产生两个电压电平，其出

现于时隙  $t_7$ 、 $t_8$  中。

在第二场重复这个序列, 但  $M$  值反转。

下面的表 2-5 示出在每个列驱动器移位寄存器级和行驱动器锁存级中输入数据  $D$  的值,  $M$  的值和第一、二场中, 每个时隙  $t_i$  中, 列和行驱动器输出的值 (VL 数)。表中第一个数指出被寻址的列。

表 2

第一场, 列 R1-R4 的逻辑值

列	$t_s$	R1			R2			R3			R4		
		M	D	VL	M	D	VL	M	D	VL	M	D	VL
1	1	0	1	1	0	0	5	0	0	5	0	0	5
1	2	1	1	2	1	0	6	1	0	6	1	0	6
2	3	0	0	5	0	1	1	0	0	5	0	0	5
2	4	1	0	6	1	1	2	1	0	6	1	0	6
3	5	0	0	5	0	0	5	0	1	1	0	0	5
3	6	1	0	6	1	0	6	1	1	2	1	0	6
4	7	0	0	5	0	0	5	0	0	5	0	1	2
4	8	1	0	6	1	0	6	1	0	6	1	1	2

表 3

第二场, 列 R1-R4 的逻辑值

列	$t_s$	R1			R2			R3			R4		
		M	D	VL	M	D	VL	M	D	VL	M	D	VL
1	9	1	1	2	1	0	6	1	0	6	1	0	6
1	10	0	1	1	0	0	5	0	0	5	0	0	5
2	11	1	0	6	1	1	2	1	0	6	1	0	6
2	12	0	0	5	0	1	1	0	0	5	0	0	5
3	13	1	0	6	1	0	6	1	1	2	1	0	6
3	14	0	0	5	0	0	5	0	1	1	0	0	5
4	15	1	0	6	1	0	6	1	0	6	1	1	2
4	16	0	0	5	0	0	5	0	0	5	0	1	1

表 4

第一场, 行C1-C4的逻辑值

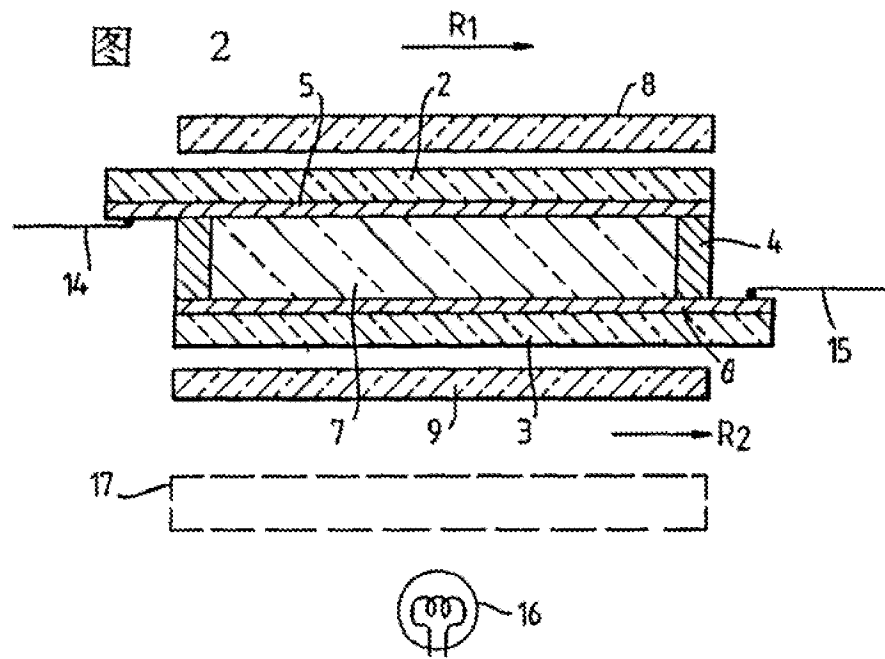
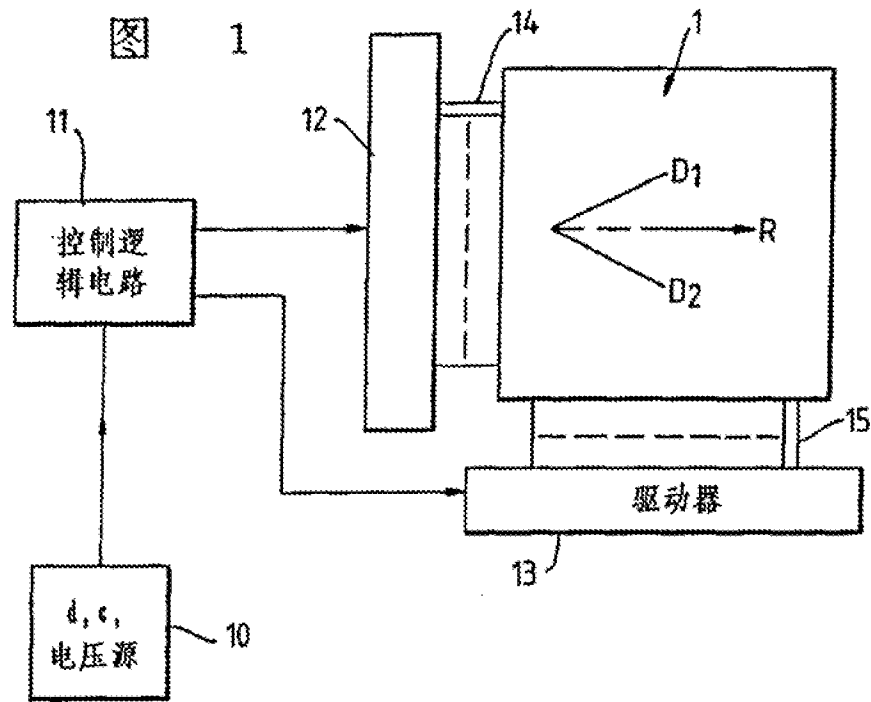
列	ts	Col 1			Col 2			Col 3			Col 4		
		M	D	VL	M	D	VL	M	D	VL	M	D	VL
1	1	0	0	4	0	1	2	0	1	2	0	0	4
1	2	1	0	3	1	1	1	1	1	1	1	0	3
2	3	0	0	4	0	0	4	0	1	2	0	0	4
2	4	1	0	3	1	0	3	1	1	1	1	0	3
3	5	0	0	4	0	1	2	0	0	4	0	1	2
3	6	1	0	3	1	1	1	1	0	3	1	1	1
4	7	0	0	4	0	0	4	0	1	2	0	1	2
4	8	1	0	3	1	0	3	1	1	1	1	1	1

表 5

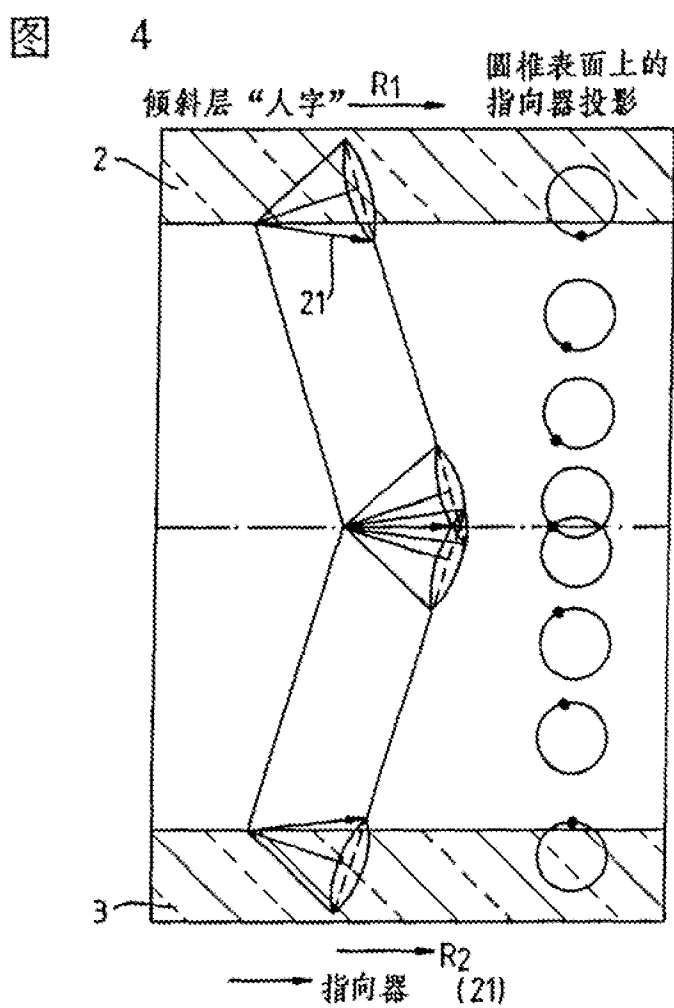
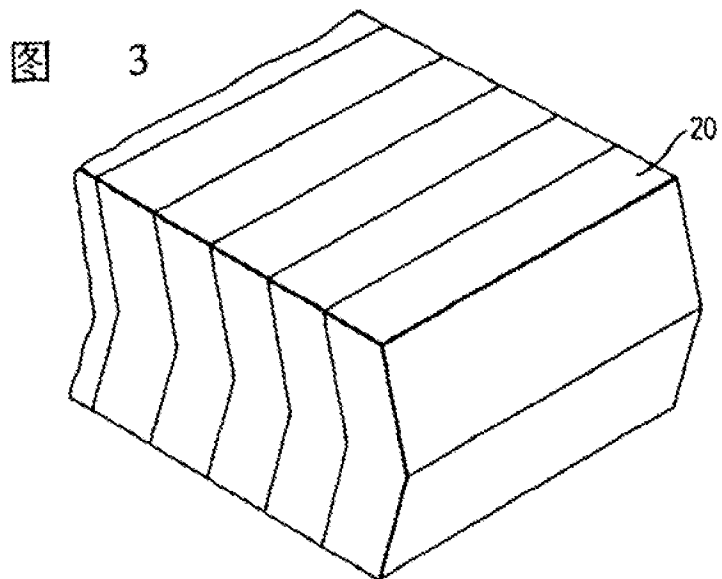
第二场, 行C1-C4的逻辑值

列	ts	Col 1			Col 2			Col 3			Col 4		
		M	D	VL	M	D	VL	M	D	VL	M	D	VL
1	9	1	0	1	1	1	3	1	1	3	1	0	1
1	10	0	0	2	0	1	4	0	1	4	0	0	2
2	11	1	0	1	1	0	1	1	1	2	1	0	1
2	12	0	0	2	0	0	2	0	1	4	0	0	2
3	13	1	0	1	1	1	3	1	0	1	1	1	3
3	14	0	0	2	0	1	4	0	0	2	0	1	4
4	15	1	0	1	1	0	1	1	1	3	1	1	3
4	16	0	0	2	0	0	2	0	1	4	0	1	4

图 7-20 的寻址方案也可以类似于上表 2-5 的方式完成。







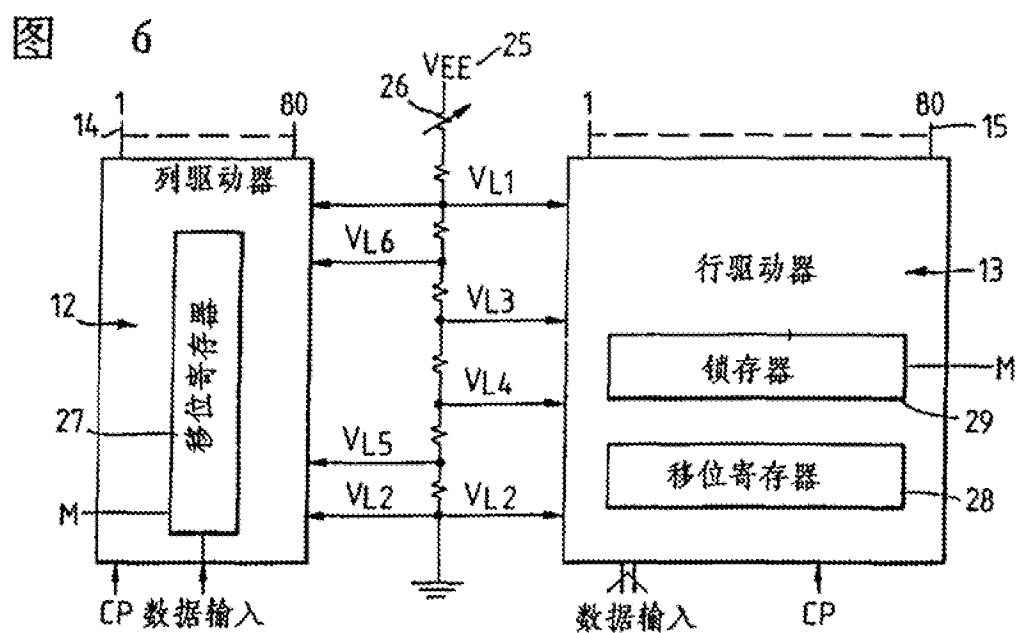
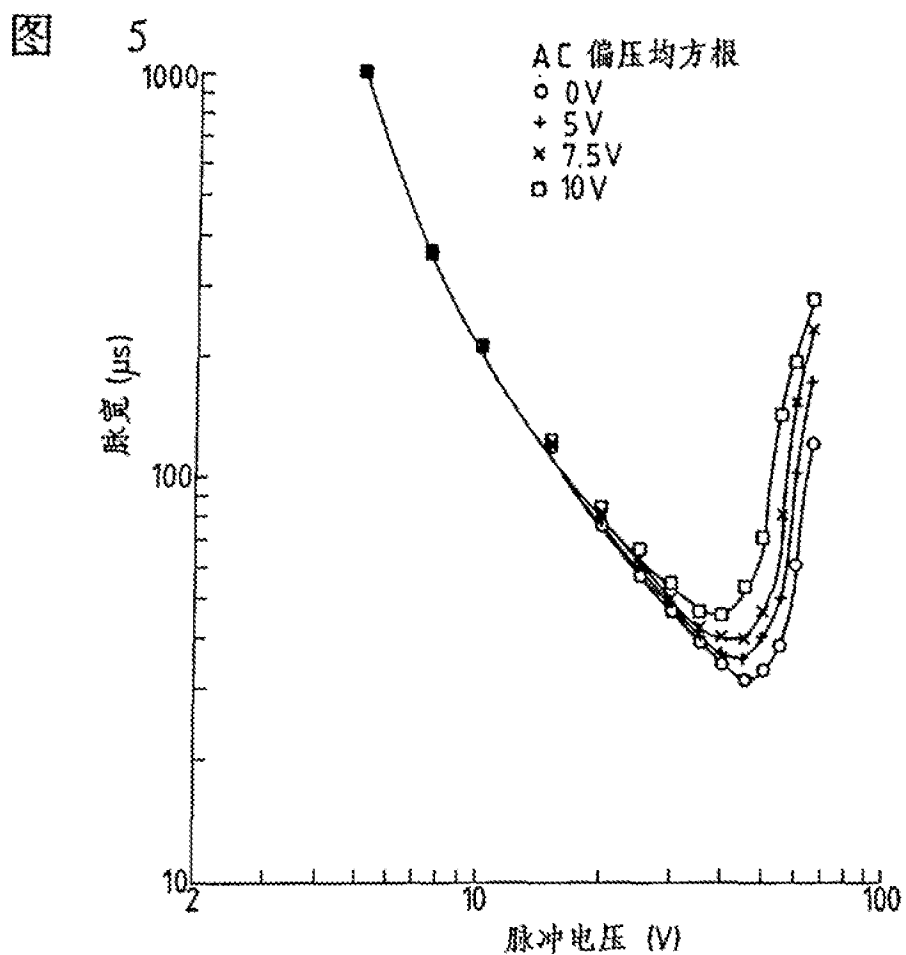


图 7

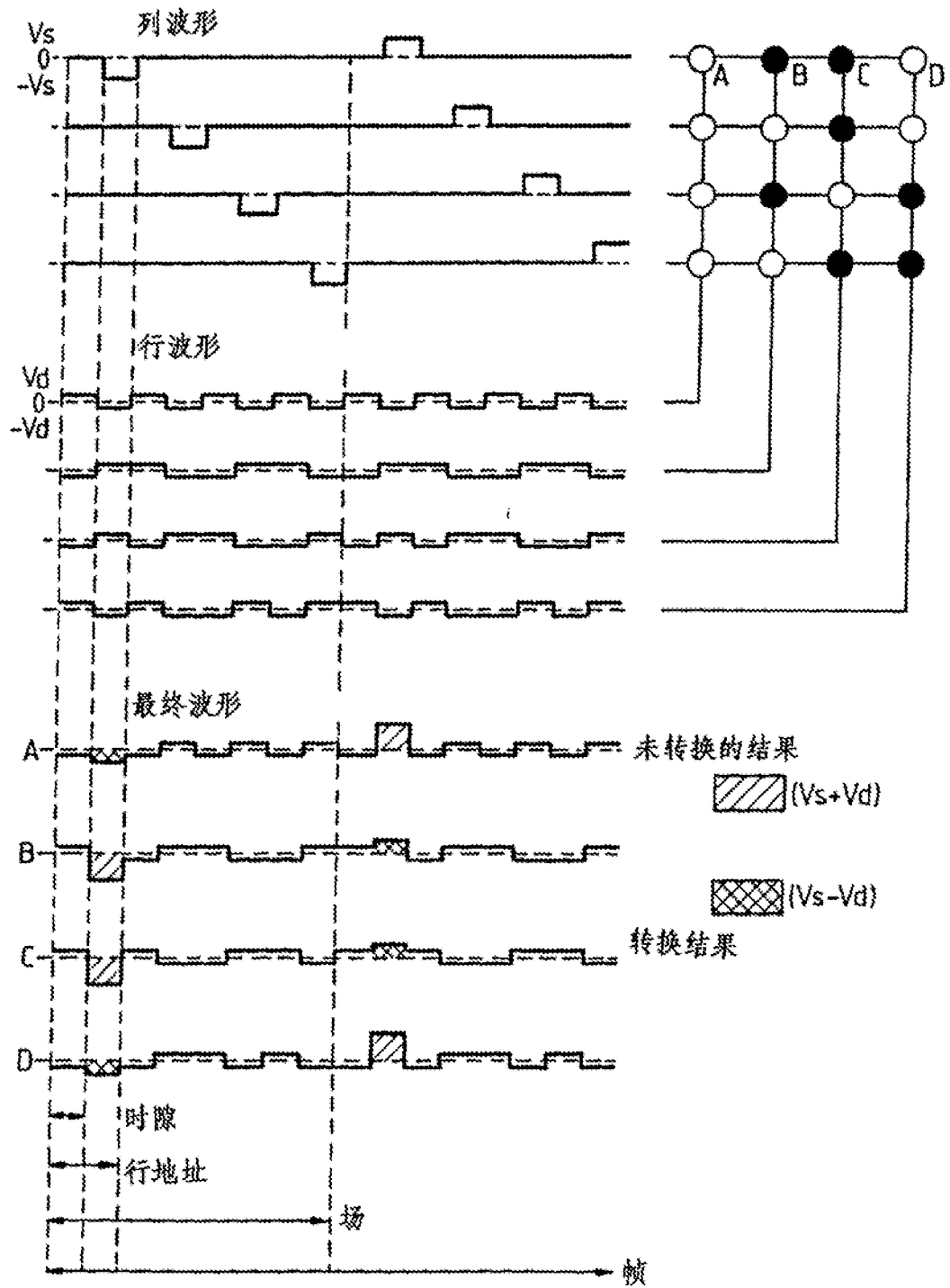


图 8

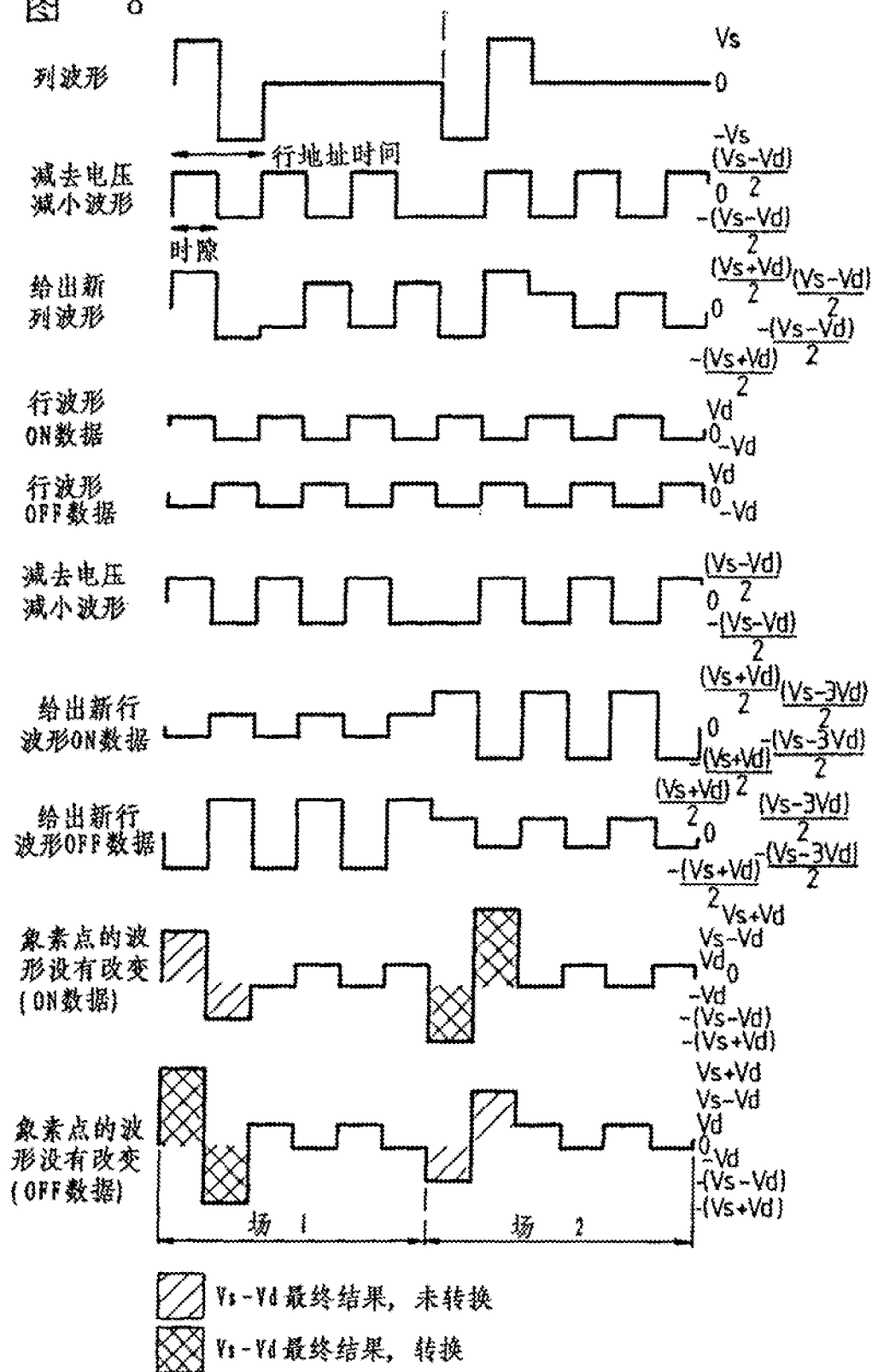


图 9

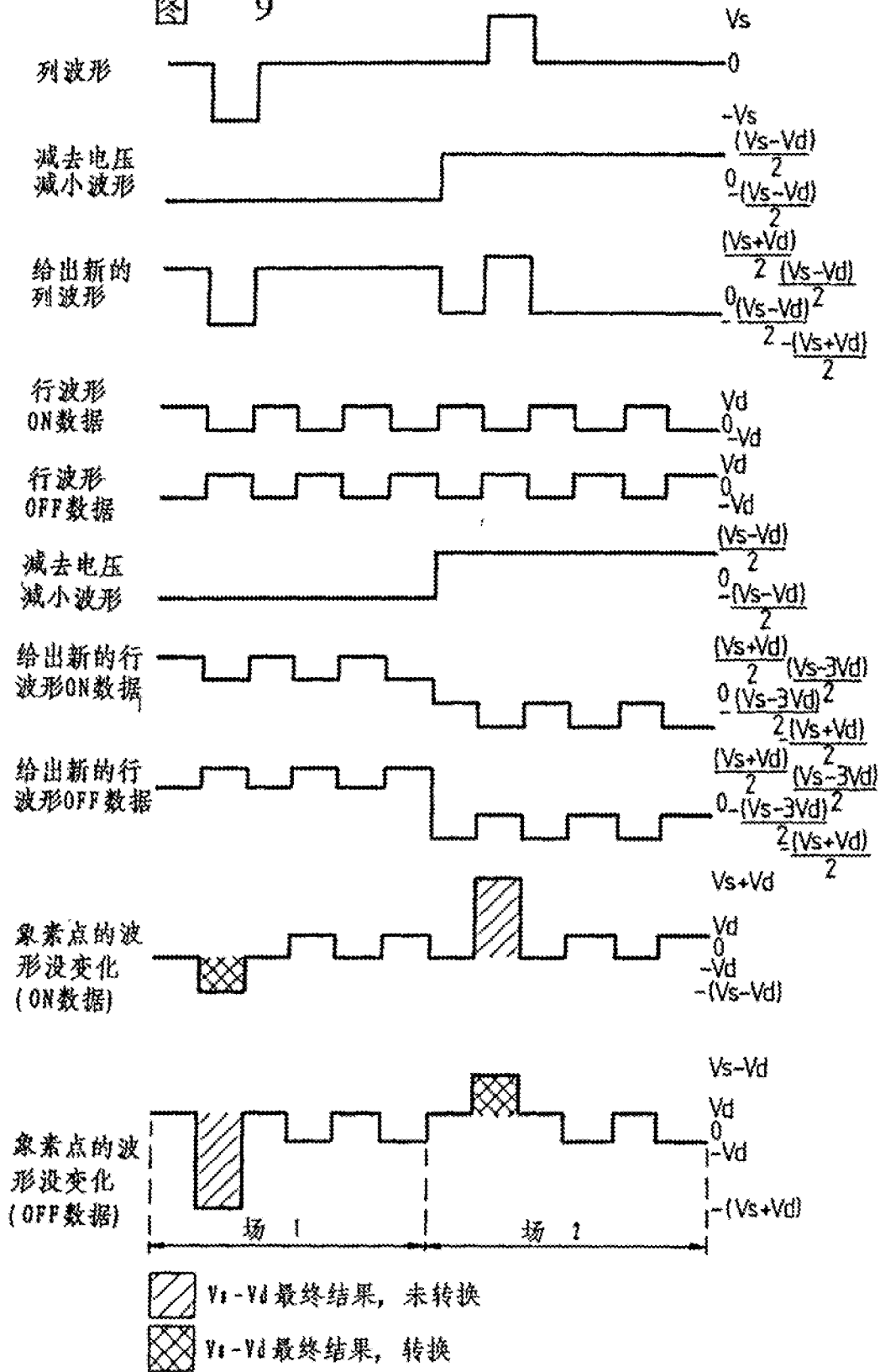


图 10

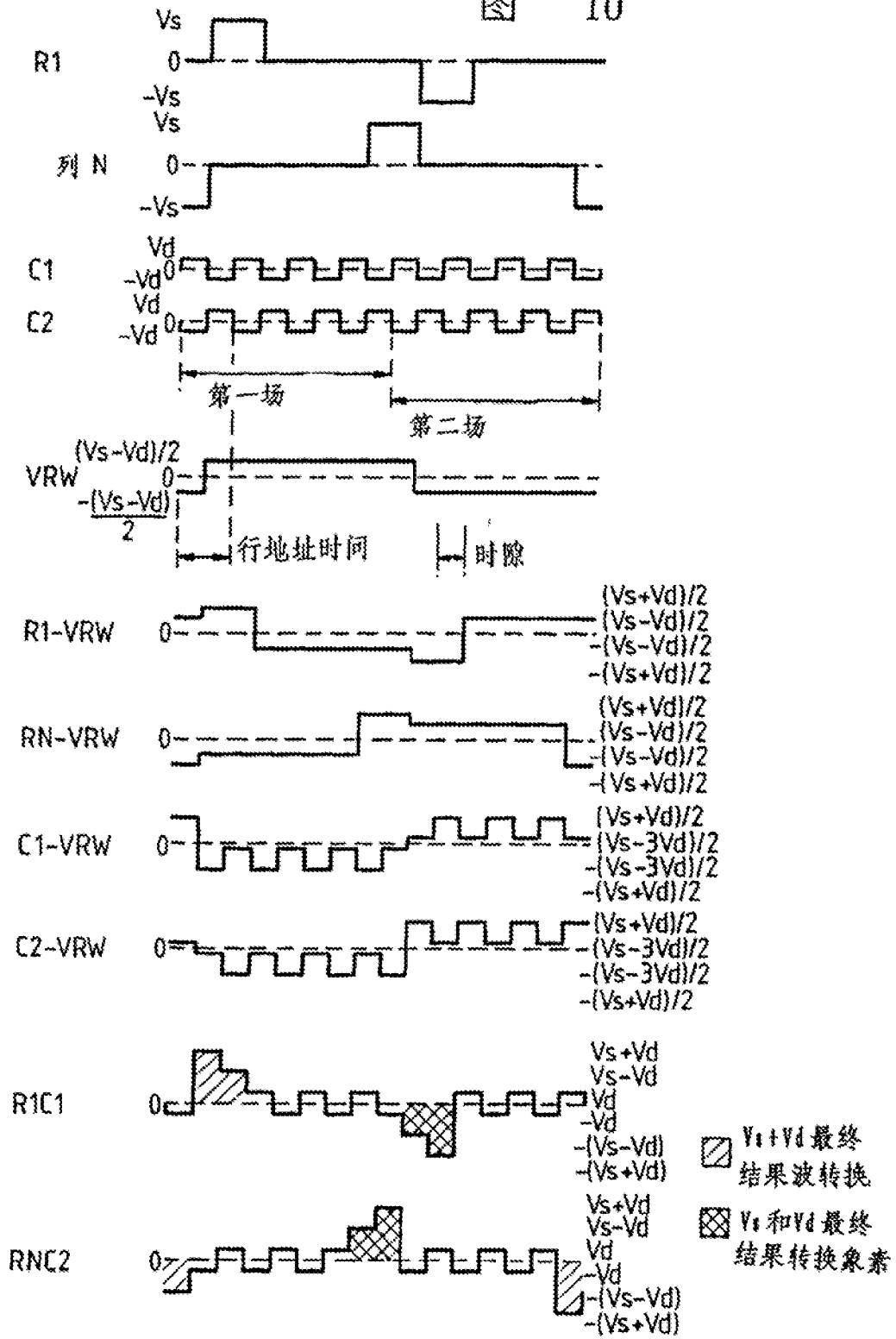
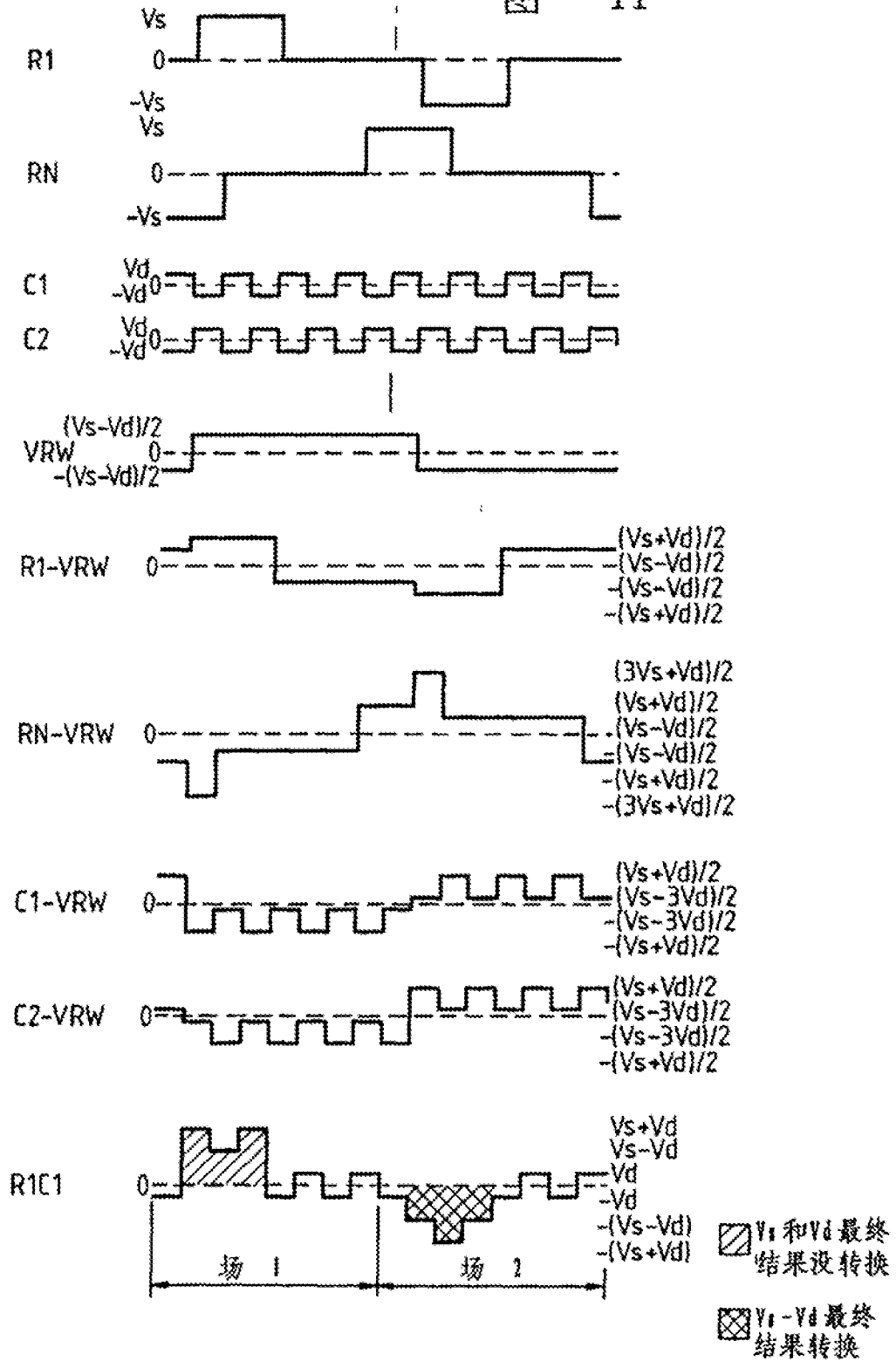


图 11



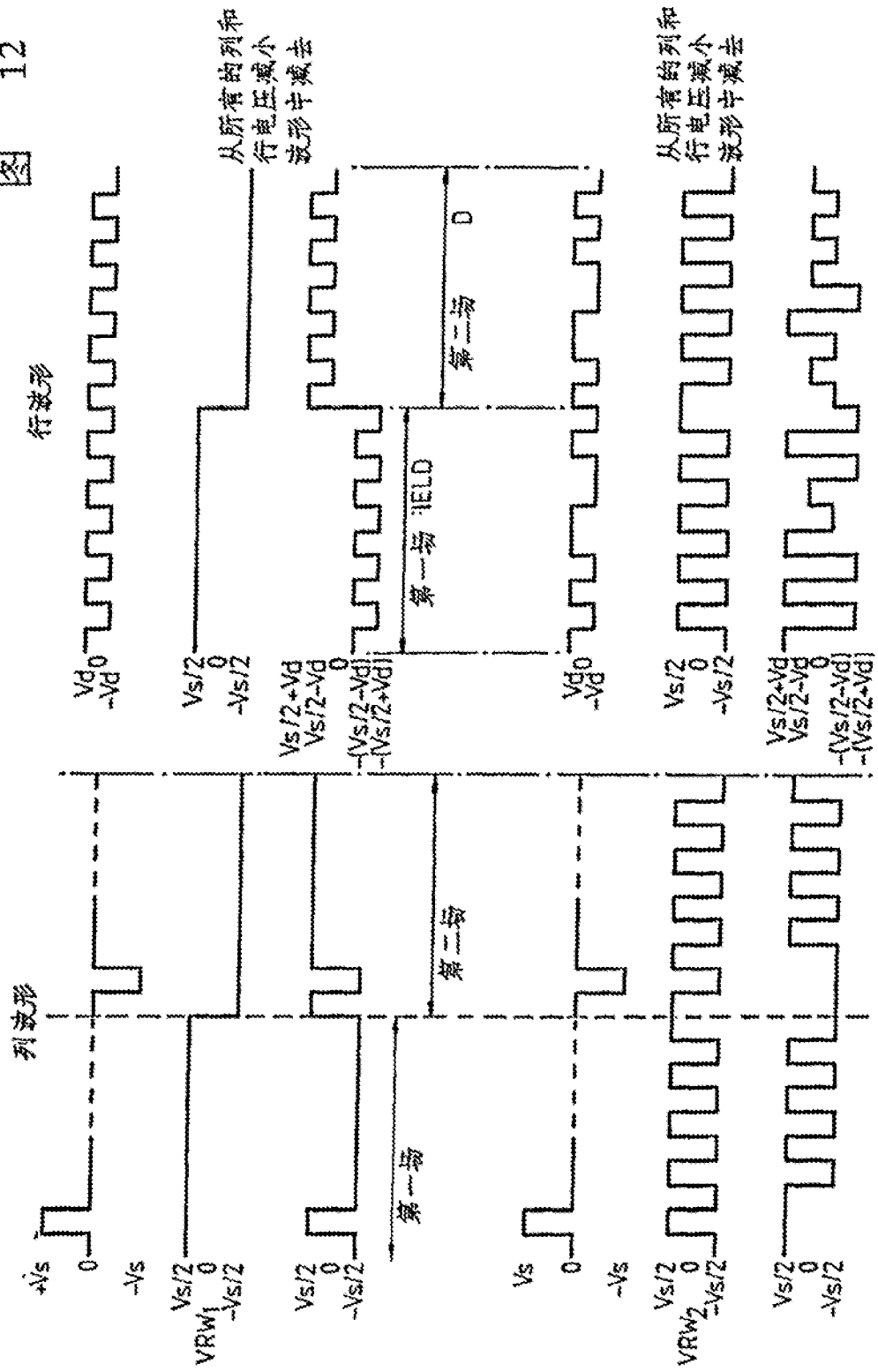

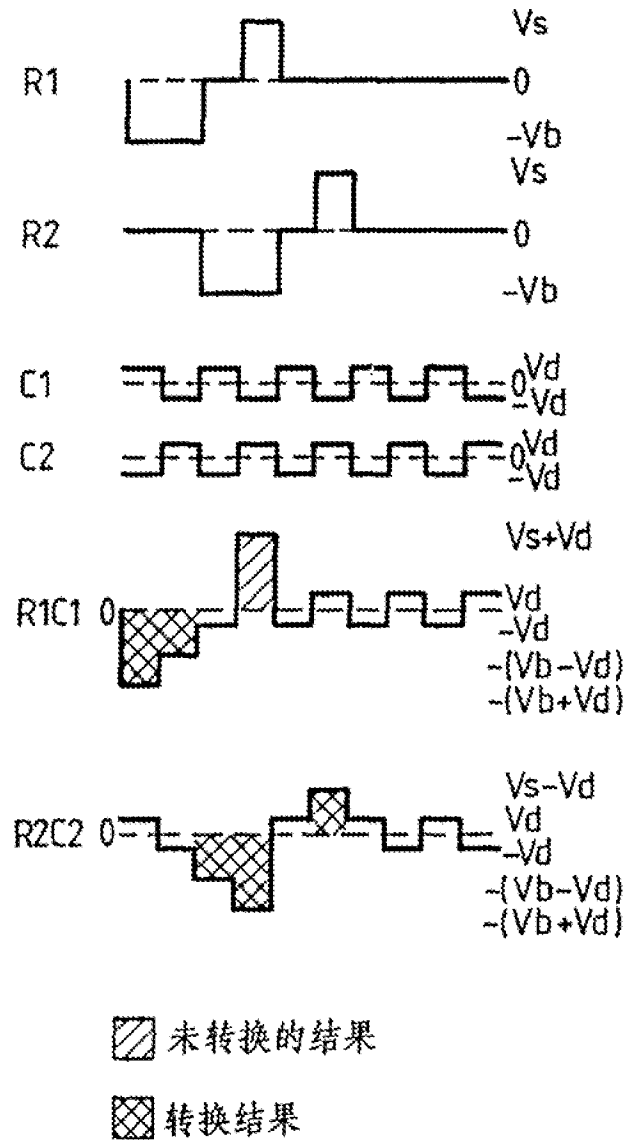
12 



图 13



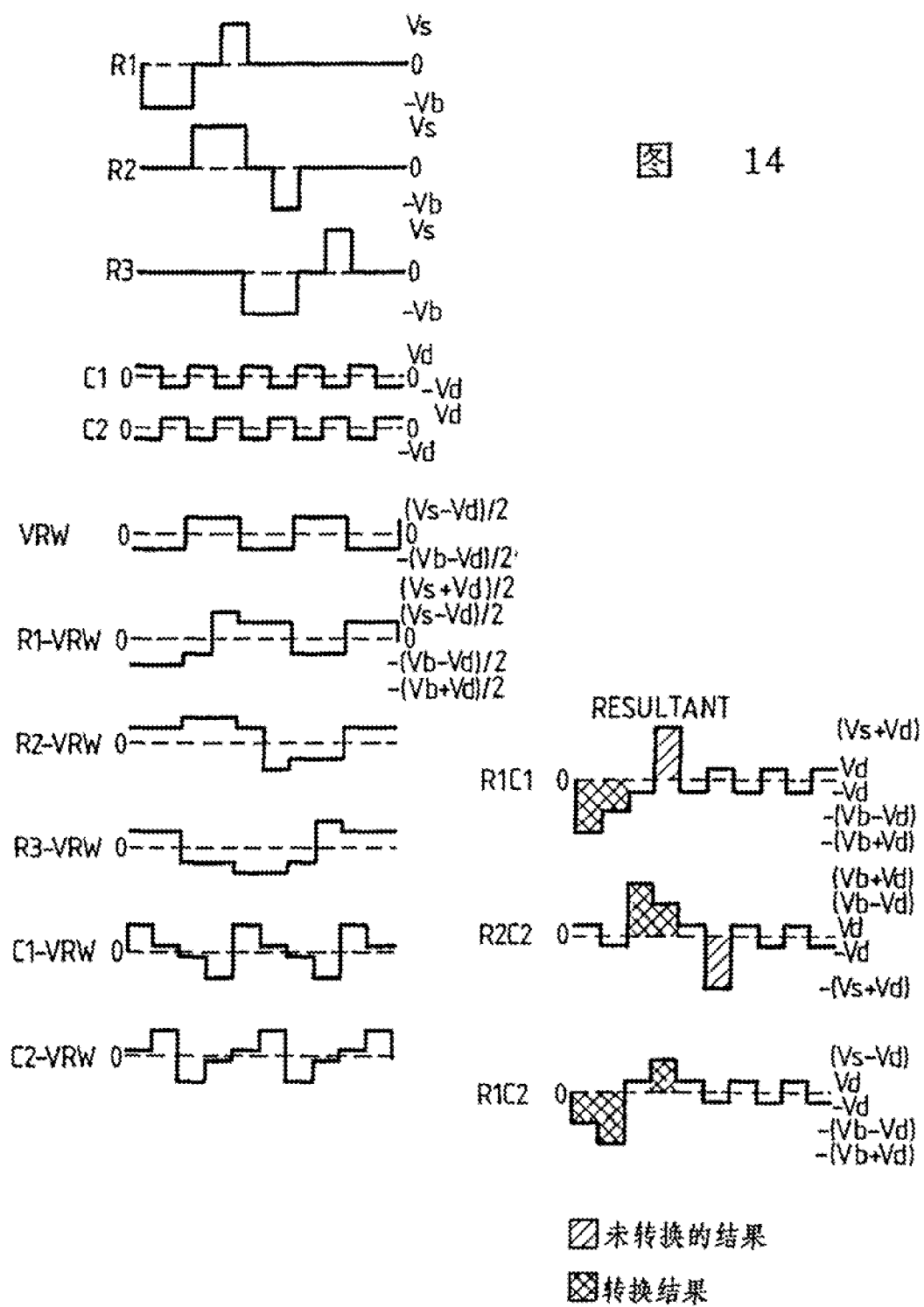
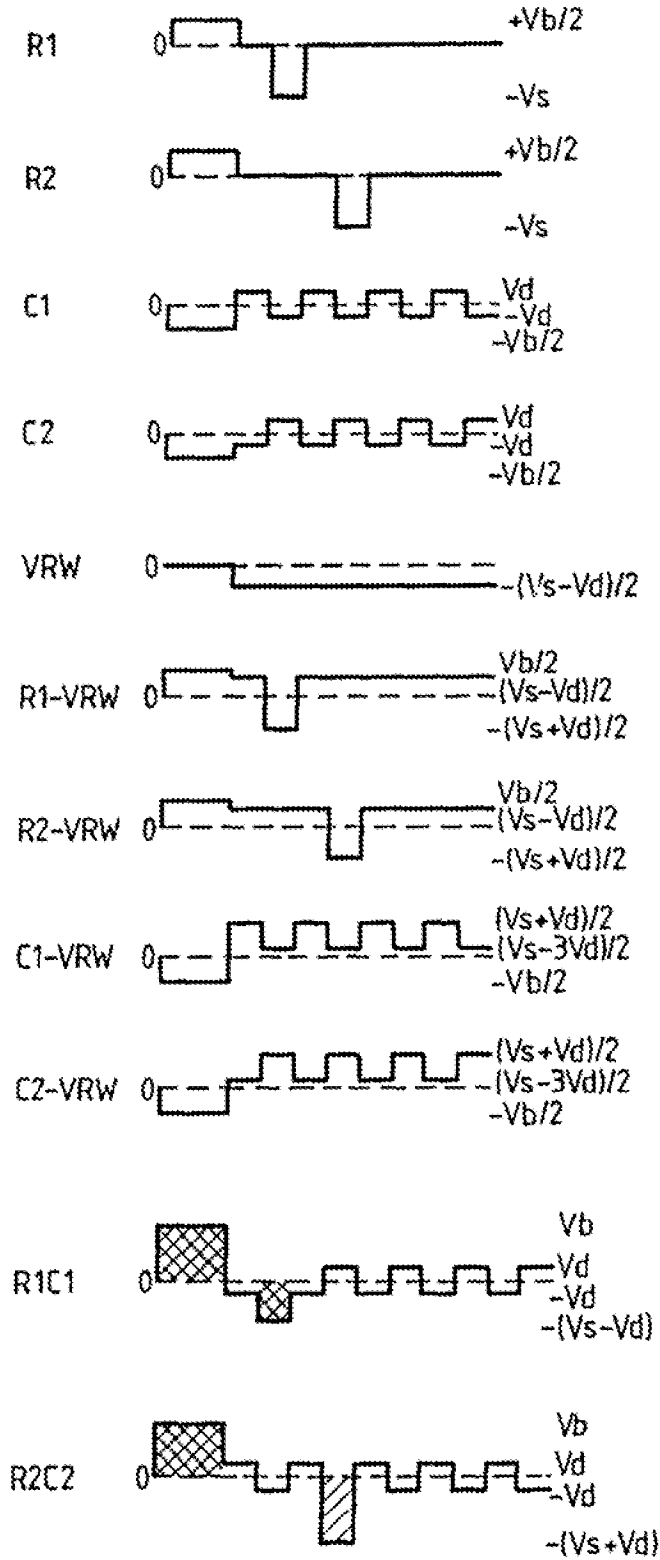


图 15



未转换的最终结果

转换的最终结果

图 16

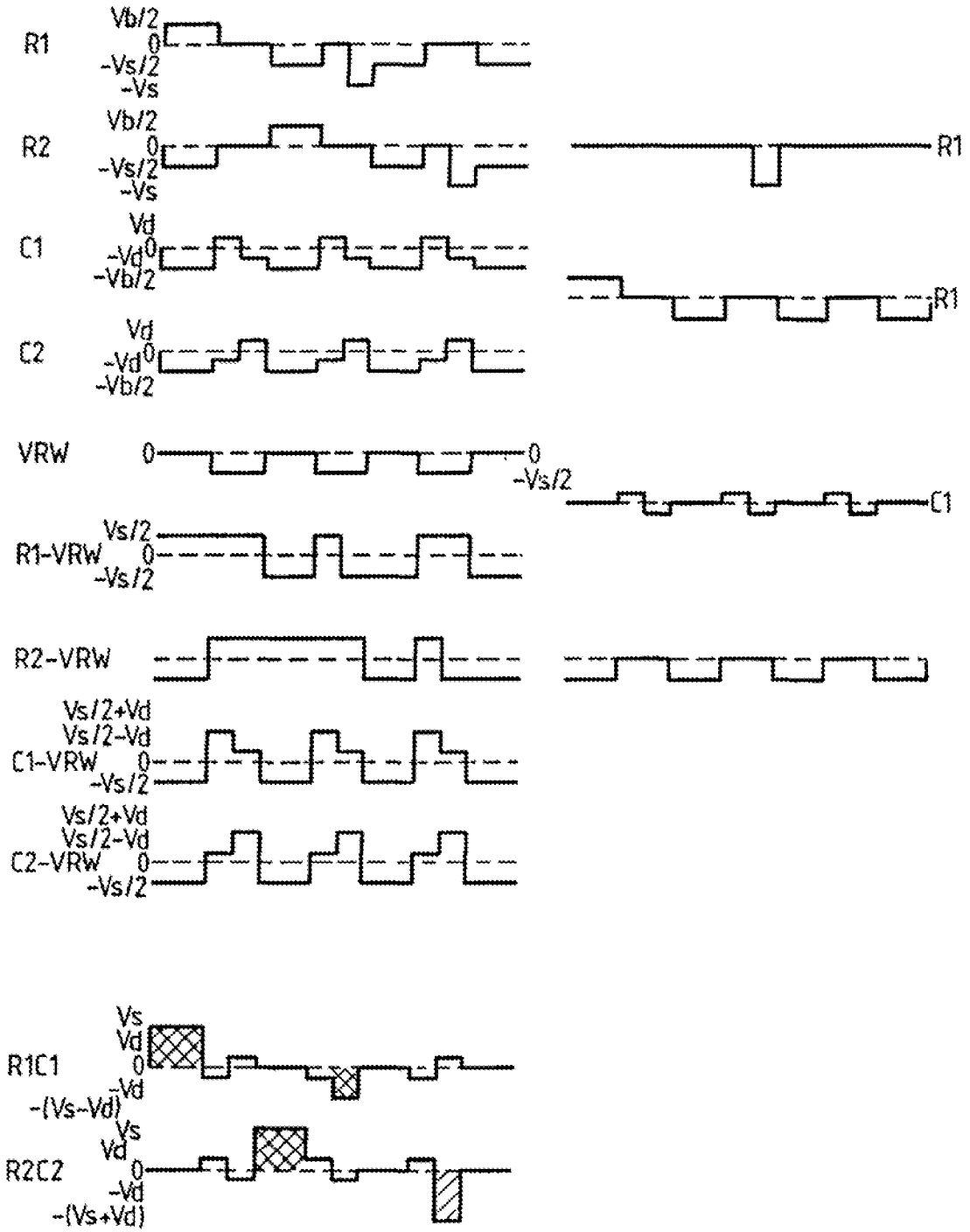


图 17

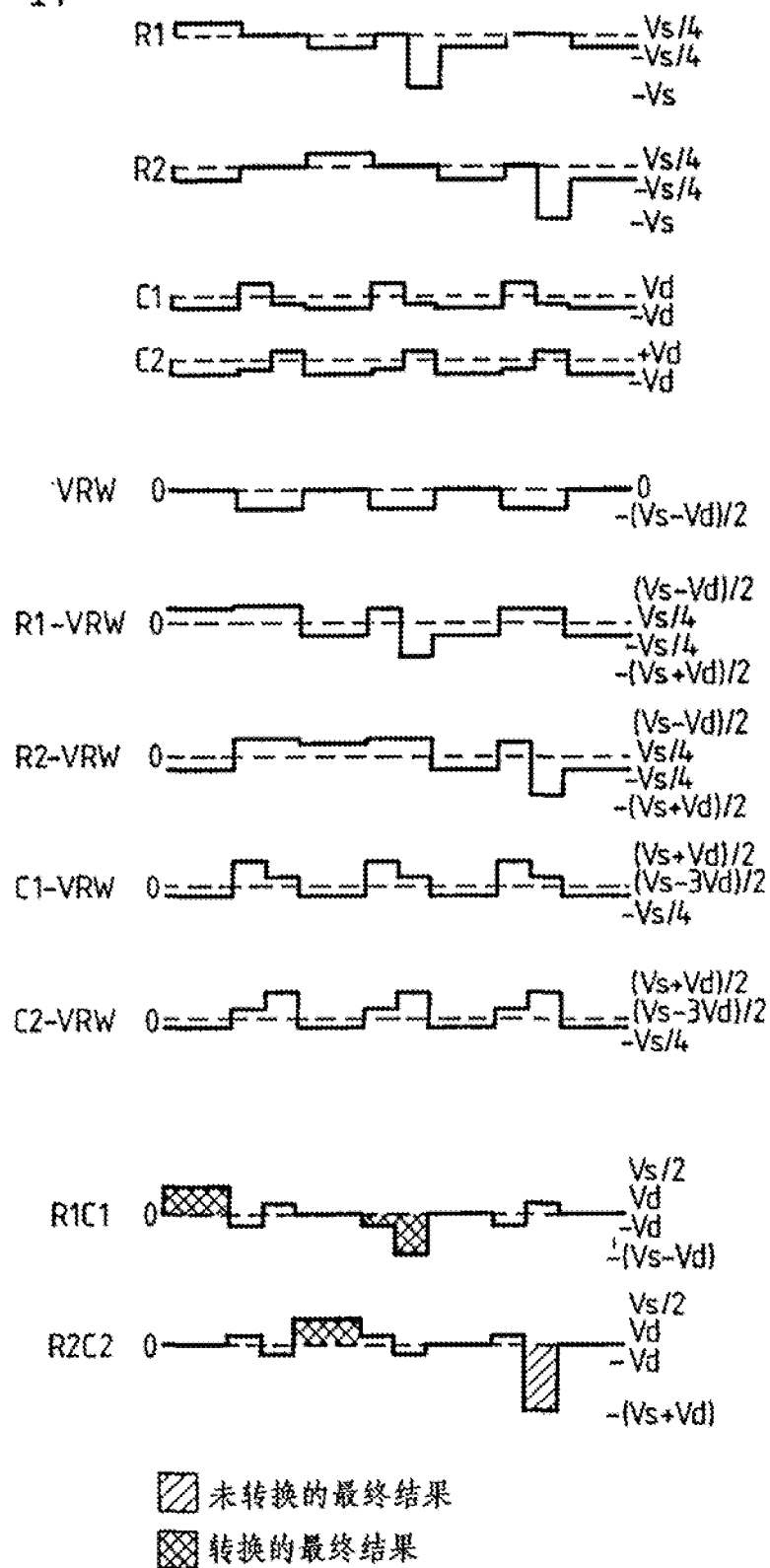


图 18

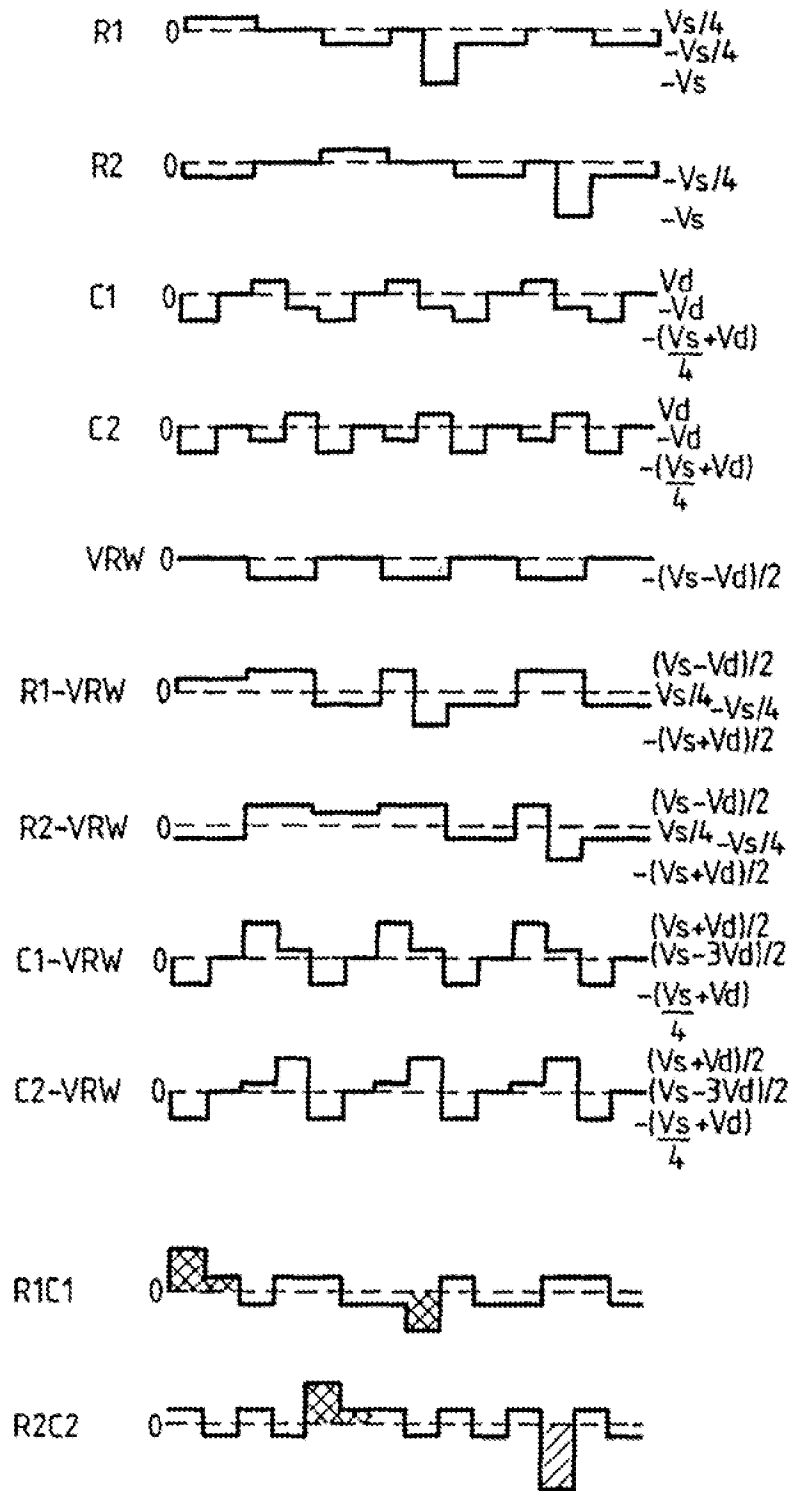


图 19

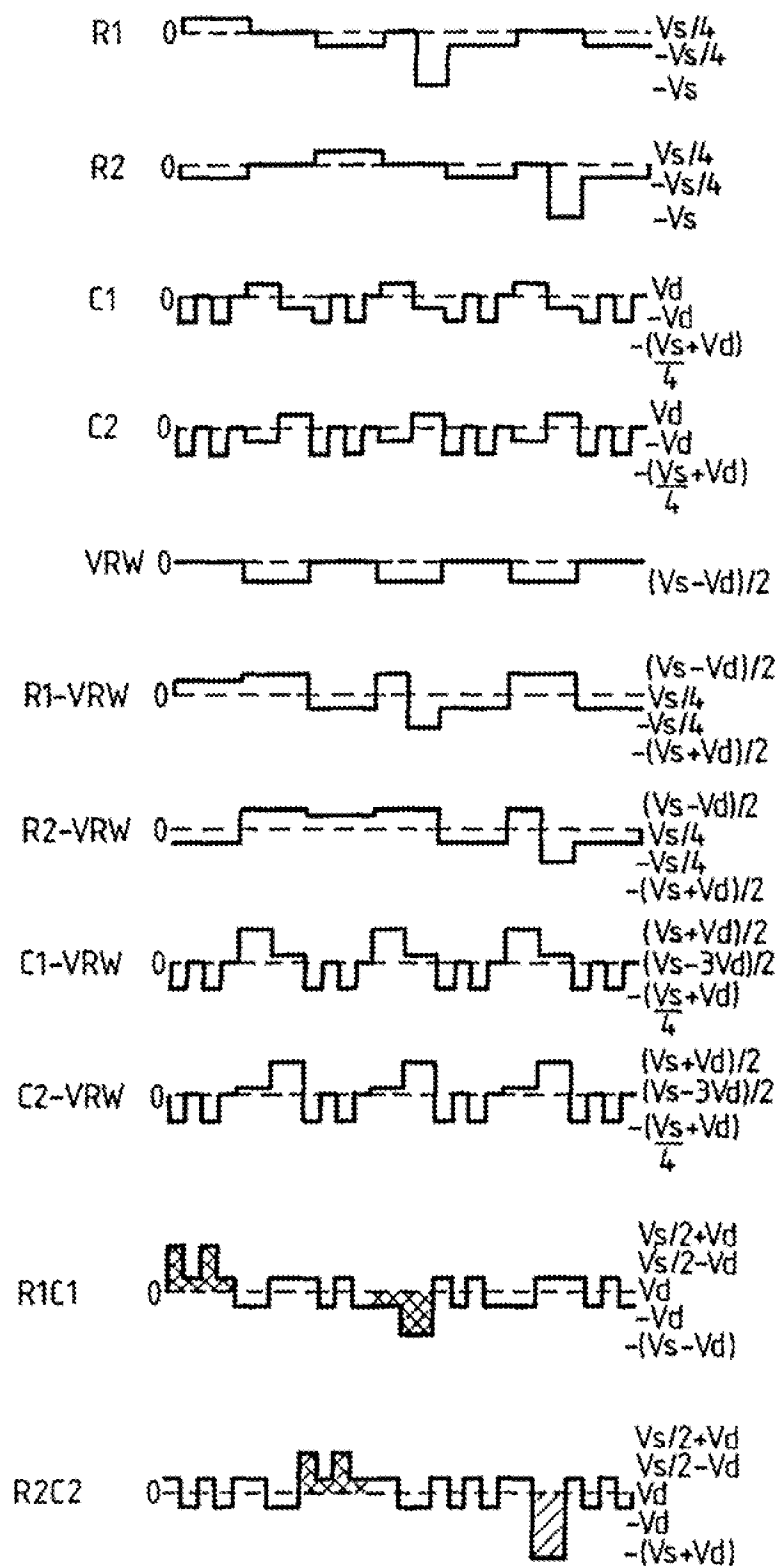
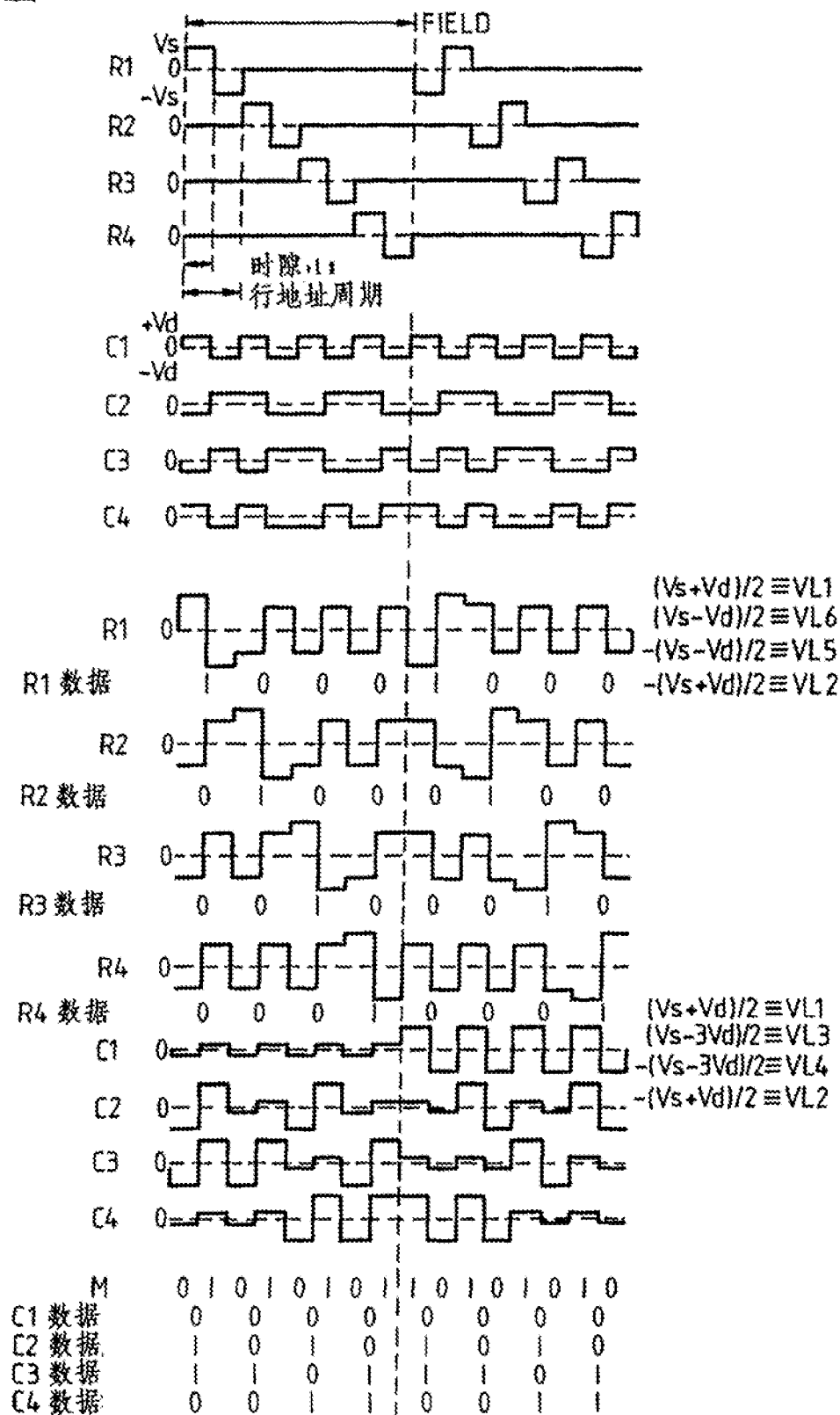


图 20





权 利 要 求 书

按照条约第 19 条的修改

---

1. 多路寻址的液晶显示器, 包括:

一液晶显示单元, 包括一层铁电层列液晶材料, 容纳于两个壁之间, 每壁上有一组电极, 形成可寻址显示元件的矩阵;

驱动电路, 以多路方式, 把数据波形加到一组电极, 把选通波形加到另一组电极;

波形发生器, 用于在连续的时隙 ( $t_i$ ) 中产生单极性脉冲的数据和选通波形, 以加到驱动器电路;

控制数据波形顺序的装置, 得到所希望的显示图形;

其特征在于,

修改数据和选通波形的装置, 从而, 减小了加到驱动电路上的电压电平, 同时, 保持可寻址交叉点上的最终电压电平不变。

2. 多路寻址的液晶显示器, 包括:

一液晶显示单元, 包括一层铁电层列液晶材料, 容纳于两个壁之间, 每个壁上有一组电极, 形成可寻址显示元件的矩阵;

驱动电路, 以多路方式, 把数据波形加到一组电极, 把选通波形加到另一组电极;

波形发生器, 用于在连续时隙 ( $t_i$ ) 中产生单极性脉冲的数据和选通波形, 以加到驱动器电路;

控制数据波形顺序的装置, 得到所希望的显示图形;

其特征在于,

列驱动电路具有至少三个不同的电压电平输入; 两个控制输入 (DATA-IN 和 M)。一串行输入并行输出多级移位寄存器, 该寄存器具有与每个列电极相关的分立级, 从而, 至少三个不同电压电平的

列波形可以顺序加到每个列电极上;

行驱动电路, 具有至少三个不同电压电平的输入、控制输入 (DATA-IN, M)、一串行输入并行输出多级移位寄存器, 和一与每信输出相联的锁存器;

从而, 至少三个不同电压电平的行波形 (修改行波形) 可以加到行电极上;

控制装置, 控制选通和数据波形在列和行电极上的顺序, 控制在列和行驱动电路上的所述至少三个电压电平的顺序, 从而得到所希望的显示图形。

3. 根据权利要求 1 的显示器, 其中, 驱动电路通过在连续场时间中的相反极性的选通脉冲来寻址显示器。

4. 根据权利要求 2 的显示器, 其中, 驱动电路根据一个极性的消隐波形和相反极性的选通脉冲来寻址所述显示器。

5. 根据权利要求 2 的显示器, 其中, 列驱动电路有 4 个不同的电压电平输入, 行驱动电路有 4 个不同的电平输入。

6. 根据权利要求 2 的显示器, 其中, 列驱动器有 3 个不同的电压电平输入, 行驱动电路有 3 个不同的电平输入。